

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Chang et al.

Group Art Unit: Unassigned

Serial No.: Unassigned

Examiner: Unassigned

Filed: October 17, 2003

Docket No. 250506-1010

For: **DIGITAL ADJUSTABLE CHIP OSCILLATOR**

CLAIM OF PRIORITY TO AND
SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION
PURSUANT TO 35 U.S.C. §119

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicants hereby claim priority to and the benefit of the filing date of Republic of China patent application entitled, "Digital Adjustable Chip Oscillator", filed November 8, 2002, and assigned serial number 91132927. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

Respectfully Submitted,

**THOMAS, KAYDEN, HORSTEMEYER
& RISLEY, L.L.P.**

By:



Daniel R. McClure, Reg. No. 38,962

100 Galleria Parkway, Suite 1750
Atlanta, Georgia 30339
770-933-9500



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 11 月 08 日

Application Date

申請案號：091132927

Application No.

申請人：億兆科技股份有限公司

Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 3 月 14 日

Issue Date

發文字號：

Serial No.

09220255520

申請日期：

案號：

類別：

(以上各欄由本局填註)

發明專利說明書

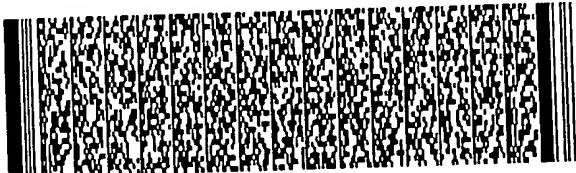
一、 發明名稱	中 文	數位可調式晶片振盪器
	英 文	
二、 發明人	姓 名 (中文)	1. 張佳陽 2. 陳柏璋 3. 李揚漢 4. 楊清淵
	姓 名 (英文)	1. Chang-Chia Yang 2. Po-Chang Chen 3. Yang-Han Lee 4. Ching-Yuan Yang
	國 籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居所	1. 台北縣淡水鎮大忠街92號13樓 2. 台北縣蘆洲市仁愛街55號8樓 3. 桃園縣中壢市榮安一街328號9樓之1 4. 苗栗縣通宵鎮平元里竹林路40巷25號
三、 申請人	姓 名 (名稱) (中文)	1. 億兆科技股份有限公司
	姓 名 (名稱) (英文)	1.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 台北市內湖區陽光街345巷5號2樓
	代表人 姓 名 (中文)	1. 劉揚偉
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：數位可調式晶片振盪器)

一種數位可調式晶片振盪器，其包括：一電壓控制振盪器，其產生一振盪信號，接收一控制電壓用以調整振盪信號的振盪頻率，並且接收一工作電壓用以穩定振盪信號的振盪頻率；一參考電壓電路，其產生一參考電壓；一穩壓電路，其接收參考電壓，產生工作電壓；一數位調節電壓路，其接收數位碼，調整控制電壓，並且接收工作電壓，穩定控制電壓。一頻率偵測器，其接收振盪信號，其具有第一參考信號其具有一第一頻率，以及一第二參考信號其具有一第二頻率，其中當振盪信號的振盪頻率在第一頻率和第二頻率之間，則輸出一高位準比較信號，否則輸出一低位準比較信號；一可程式化計數器，其接收一時鐘信號觸發計數動作，用以產生數位碼；一可程式化控制器，其接收

英文發明摘要 (發明之名稱：)



四、中文發明摘要 (發明之名稱：數位可調式晶片振盪器)

上述高位準比較信號，用以產生一致能信號使得頻率比較器保持高位準比較信號，並且使得可程式化計數器停止計數，保持數位碼；以及一可程式化記憶體，其接收致能信號，用以記錄數位碼。

五、(一)、本案代表圖為：第____1____圖

(二)、本案代表圖之元件代表符號簡單說明：

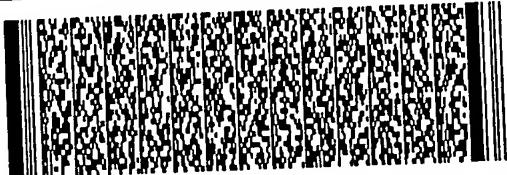
10 電壓控制振盪器

70 穩壓電路

75 參考電壓電路

80 數位調節電路

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

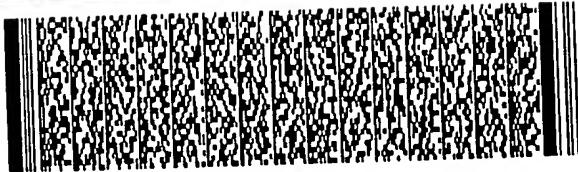
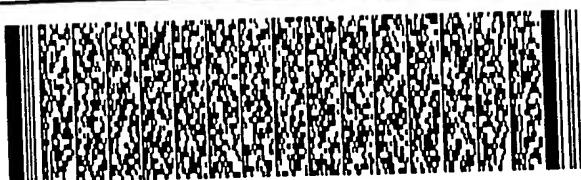
無

五、發明說明 (1)

在無線傳輸系統中，均需要一個鎖相迴路以達到與外界電路訊號同步，而鎖相迴路通常需要一石英振盪器作為振盪源，在積體電路的高度發展下，能夠將外部元件整合在晶片上，以減少外部接腳數，進而達到降低成本要求。因此有需要提供一個新式高整合度之數位可調式晶片振盪器，並且具有數位可調式功能，自我測試系統及省電模式。

有鑑於此，本發明提供一種數位可調式晶片振盪器，其包括：一電壓控制振盪器，其產生一振盪信號，接收一控制電壓用以調整振盪信號的振盪頻率，並且接收一工作電壓用以穩定振盪信號的振盪頻率；一參考電壓電路，其產生一參考電壓；一穩壓電路，其接收參考電壓，產生工作電壓；一數位調節電路，其接收一數位碼，調整控制電壓，並且接收工作電壓穩定控制電壓。一頻率偵測器，其接收振盪信號，一第一參考信號其具有一第一頻率，以及一第二參考信號其具有一第二頻率，其中當振盪信號的振盪頻率在第一頻率和第二頻率之間，則輸出一高位準比較信號，否則輸出一低位準比較信號；一可程式化計數器，其接收一時鐘信號觸發計數動作，用以產生數位碼；一可程式化控制器，其接收上述高位準比較信號，用以產生一效能信號使得頻率比較器保持高位準比較信號，並且使得可程式化計數器停止計數，保持數位碼；以及一可程式化記憶體，其接收效能信號，用以記錄數位碼。

本發明又提出另一種數位可調式晶片振盪器，其包



五、發明說明 (2)

括：一電壓控制振盪器，其產生一振盪信號，並且接收一控制電壓控制振盪信號的振盪頻率；一頻率對電壓轉換器，其接收振盪信號，根據一工作電壓和一第一電壓產生一迴授電壓；一主動比較濾波器，其接收迴授電壓和一第二電壓產生控制電壓；以及 一第一可程式化控制器，其接收一第一數位碼和工作電壓，產生第二電壓。

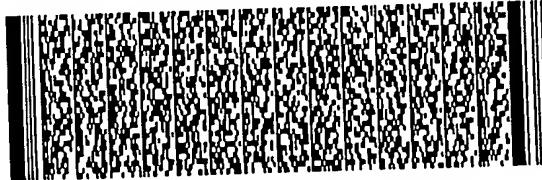
為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

實施例

第一實施例

第1圖表示第一實施例數位可調式晶片振盪器的功能方塊圖。如第1圖所示，數位可調式數位可調式晶片振盪器包括，電壓控制振盪器10，穩壓電路70，參考電壓電路75，數位調節電路80，除頻器85。

第一實施例的電壓控制振盪器是多諧振盪器 (relaxation oscillator)，第2圖表示電壓控制振盪器的電路圖。電晶體M1、M2組成一正迴授，提供一快速開關，使得電晶體M1、M2在半週期交互導通，切斷正迴授迴路。電容C1的電容值C用以控制放電時間。電阻R1、R2的電阻值R用以控制振盪信號Vout1、Vout2的振幅。電晶體M3、M4提供電流源，用以控制電容C1放電時間。電晶體M3、M4的電流 I_D 是可以調整的。第3圖表示電壓控制振盪器的波



五、發明說明 (3)

形示意圖。在狀態(i)電晶體M1關閉，電晶體M2導通，振盪信號Vout1電壓為Vddx，流過電容C1的電流是流過電晶體M3的電流I_D，所以流過電晶體M2的電流是流過電容C1電流和流過電晶體M4電流的總和2I_D，因此振盪信號Vout2的電壓是Vddx-2I_DR。假設2I_DR小於電晶體M2的臨界電壓V_{th}，電晶體M2工作在飽和區，節點Y的電壓

$$V_y = V_{ddx} - V_{th} - \sqrt{2I_D / K}$$

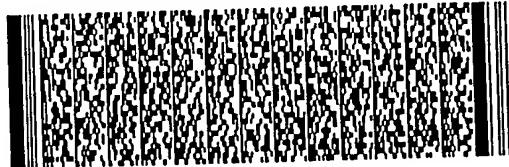
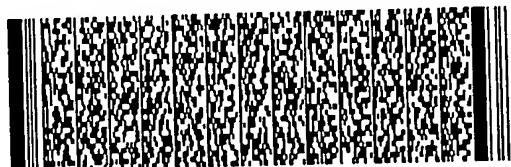
，其中K是電晶體M2的電導參數。是節點V_x的放電速度2I_D/C，當電壓V_x下降到Vddx-2I_DR-V_{th}，也就是電晶體M1閘極-源極的電壓差達到臨界電壓，電晶體M1快速導通，拉下振盪信號Vout1，電晶體M2關閉，電壓控制振盪器10工作在狀態(ii)，其動作方式和狀態(i)對稱。由第3圖得知振盪週期

$$T = \frac{\sqrt{2I_D / K} + I_D R}{I_D / C} \quad (1)$$

振盪頻率

$$f = \frac{1}{T} = \frac{1}{C(2R - \sqrt{2/KI_D})} \quad (2)$$

振盪頻率f可以由電阻R1、R2電容C1、以及電流I_D調整，電流I_D由電晶體M3、M4的閘極輸入控制電壓Vin。第4圖表示數位可調式晶片震盪器的電路圖。輸出緩衝器12包括雙端到單端轉換器，緩衝器，將振盪信號Vout1、Vout2

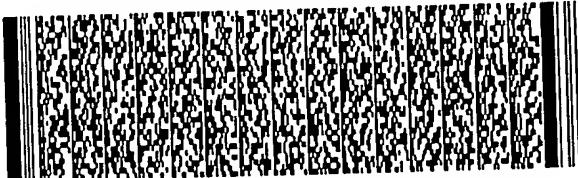
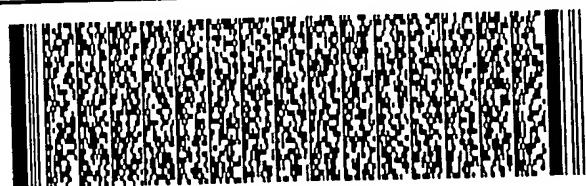


五、發明說明 (4)

轉換成一單端具有足夠邏輯位準驅動除頻器以及其他邏輯電路，並且將電壓控制振盪器10與其他電路隔離，提供足夠的功率給下一級電路，避免影響電壓控制振盪器10的正常操作。如第4圖所示，電晶體M7的閘極接收一省電信號PWD，關閉電晶體M6，因此關閉電壓控制震盪器10。穩壓電路70提供不受電源，溫度影響之穩定的工作電壓Vddx，作為電壓控制震盪器10的偏壓，穩定震盪頻率。

第5A圖表示開關電容電壓控制振盪器。開關SWC1~SWCn用以調整第2圖中電容C1的耦合電容量，控制振盪頻率。第5B圖表示開關電阻電壓控制振盪器。開關SWR1~SWRn用以調整第2圖中電阻R1、R2的電阻值，控制振盪頻率。

第6圖表示數位調節電路的電路圖。其輸出端 V_{BN} 耦接於電壓控制振盪器10的電晶體M3、M4控制電壓 V_{in} ，電晶體M10、M3、M4作用如同電流鏡，藉由調整輸入電晶體M10的電流，控制輸出端 V_{BN} 電壓，以及控制振盪器10中電晶體M3、M4的輸出電流，因此調整電壓控制振盪器10的振盪頻率。數位調節電路80作用如同數位類比轉換器(DAC)，主要是藉由參考電壓 V_{ref} ，差動放大器101的負迴授作用使的電晶體M102的參考電流是 V_{ref}/R ，藉由電晶體M102、M103、M104組成的電流鏡，使得輸出端 V_{BN} 的電流和參考電流成比例。電晶體M110、M111、M112、M113組成充電電流鏡，提供充電電流 $8I_p$ 、 $4I_p$ 、 $2I_p$ 、 I_p ，藉由開關電晶體MB0、MB1、MB2、MB3耦接到輸出端 V_{BN} ，數位碼，也就是符



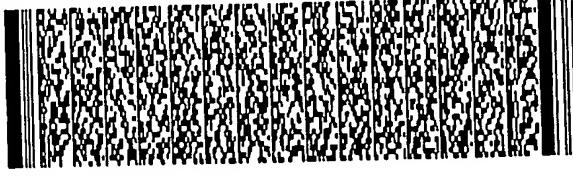
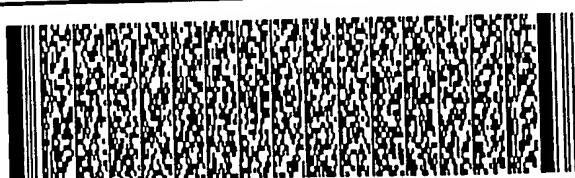
五、發明說明 (5)

號位元碼B0、B1、B2、B3用以選擇對應位元之充電電流。電晶體M102、M103、M110、M111、M112、M113、M114的工作電壓是由穩壓電路70的輸出端電壓Vddx提供，Vddx是一穩定電壓源，因此能夠穩定數位調節電路80電晶體M10的電流和輸出端電壓 V_{BN} ，進而穩定電壓控制振盪器10的振盪頻率。電晶體M120、M121、M122、M123組成放電電流鏡，提供放電電流8In、4In、2In、In，藉由開關電晶體MA0、MA1、MA2、MA3耦接到輸出端 V_{BN} ，數位碼A0、A1、A2、A3用以選擇對應位元之放電電流。電晶體M10的電流藉由符號位元碼(sign code) B3、B2、B1、B0增加輸出電流，A3、A2、A1、A0減少輸出電流。第7圖表示數位碼對符號位元碼的解碼器電路圖。解碼器120將數位碼D4、D3、D2、D1、D0轉換成符號數位碼B3、B2、B1、B0，A3、A2、A1、A0。數位調節電路80是以電流模式DAC方式調整電壓控制振盪器10的控制電壓，其工作電壓由穩壓電路70提供，因此電壓控制振盪器10的控制電壓既穩定又線性。因製程飄移導致的振盪頻率飄移，能夠由數位調節電路80補償到百分之一頻率誤差。

第8圖表示電壓源對電壓控制震盪器的測試圖。如第8所示，在數位碼為-15、0、15，電壓控制震盪器10的震盪頻率幾乎不受到電壓源Vdd影響。

第9圖表示數位碼對電壓控制震盪器的測試圖。

第10圖表示數位調節電路的電路圖。數位調節電路120的作用如同數位調節電路100，只是調節輸出電流的數

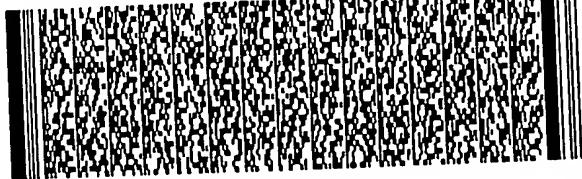
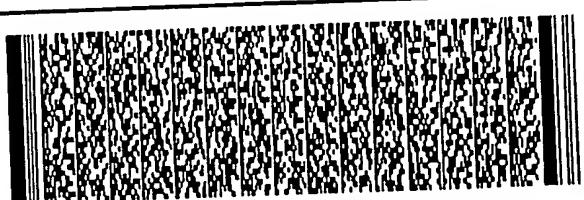


五、發明說明 (6)

位碼A5、A4、A3、A2、A1、A0只能在單方向調整，也就是增加輸出電流。數位調節電路100、120都可以應用在本實施例。

穩壓電路70用以提供一不受電壓源Vdd、溫度影響的電壓提供給電壓控制振盪器10和數位調節電路80，第11圖表示穩壓電路70的電路圖。穩壓電路80包括轉移電導放大器(operational transconductance amplifier)82、電晶體M8、迴授電路，其包括迴授電阻R3、R4，補償電阻Rz、補償電容Cc。迴授電路偵測電晶體M8的輸出電流，輸出迴授電壓到轉移電導放大器80。穩壓電路70藉由參考電壓Vref和迴授電路，穩定控制輸出端電壓，輸出端耦接到電壓控制振盪器10的電壓源Vddx。電晶體M8為PMOS電晶體，輸出電壓Vddx最高電壓範圍可以比較高。

第12圖表示參考電壓電路的電路圖。參考電壓電路75是一能隙參考電壓電路，提供一不受電壓源Vdd、溫度影響的參考電壓Vref，其主要是由雙極電晶體(BJT)Q1基極射極接面電壓 V_{EB} 的負溫度係數特性，以及 ΔV_{EB} 的正溫度係數特性，達到減少溫度造成的變異。 ΔV_{EB} 是利用雙極電晶體Q1、Q2偏壓在不同的電流密度，藉由電阻R3、R1的比例決定其偏壓電流密度比，放大器83檢測其電壓差，得到一正溫度係數的固定電壓 $kT/q \ln(R3/R1)$ ，並且由電阻R3、R2的比例決定正溫度係數的固定電壓放大因數，以抵消雙極電晶體(BJT)Q1基極射極接面電壓的負溫度係數，得到一參考電壓 $V_{ref} = V + (R3/R2)kT/q \ln(R3/R1)$ 。流過電阻

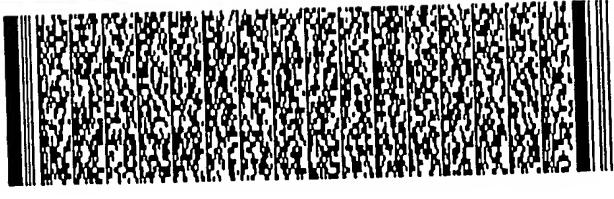
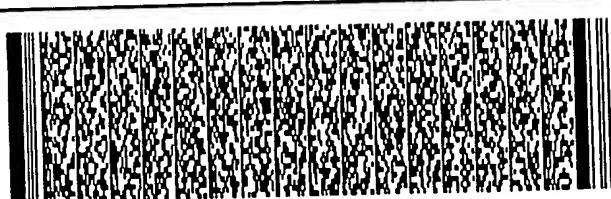


五、發明說明 (7)

R₁、R₃的電流相同，所以電晶體Q₁、Q₂的基極佈局面積(base area)A₁、A₂與其電流密度成反比。基極佈局面積比A₁:A₂大多設計為1:3、1:8、1:15、1:24等，使其比例和為一自然數平方，使的佈局更為對稱。偏壓電路83A提供放大器83偏壓，其中PMOS電晶體M100、NMOS電晶體102的閘極耦接到一省電信號PWD，用以在省電模式關閉電源。

第13圖表示除頻器的電路圖。除頻器85包括一個除4或是除5電路以及3個D-型正反器組合而成的除頻電路，並且由模式選擇控制除頻數目。

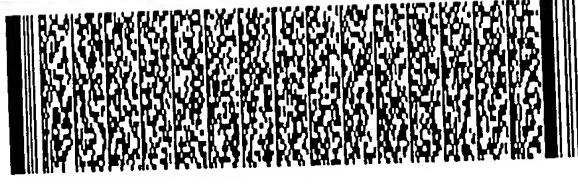
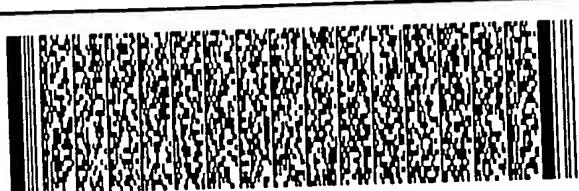
為了使振盪頻率符合需求，必須藉由內建自我測試(built in self-test)電路自動校正其頻率。第14圖表示數位可調式晶片震盪器及內建自我測試系統。如第14圖所示，內建自我測試系統包括，電壓控制振盪器10，頻率偵測器20，頻率產生器65，可程式化控制器40，可程式化閘極燒寫器50，可程式化熔絲55，可程式化計數器60。其中可程式化閘極燒寫器50和可程式化熔絲55都是可以應用在本發明的可程式化記憶體。經由外部為控制器輸入訊號及頻率偵測器20自動選擇出符合的頻率，並可利用可程式閘極燒錄器50和可程式熔絲55寫入及讀取，並載入調節的數位碼。自我測試的作業流程如第15圖所示，在步驟S11微控制器(未圖示出)使得可程式化計數器60產生一連串數位碼給數位調節電路80，電壓控制振盪器10產生相對應的頻率。在步驟S12，除頻器85計數電壓控制震盪器10的震盪頻率。在步驟S13頻率產生器65產生兩個參考頻率Fref1、



五、發明說明 (8)

Fref2。在步驟S14，由頻率比較偵測器20比較電壓控制振盪器10的振盪頻率與頻率產生器產生的兩個參考頻率Fref1、Fref2，當振盪頻率落在設定的參考頻率Fref1、Fref2範圍之內，頻率偵測器20輸出高電位比較信號，否則輸出低電位比較信號。在步驟S15，可程式化控制器40接收到頻率比較器20的高電位的比較信號，可程式化控制器40會送出停止動作訊號給頻率產生器和可程式化計數器60，使其保持數位碼，並且送出一致能信號給可程式閘極燒錄器50和可程式化熔絲55，使其執行燒寫動作，載入調節數位碼于數位調節電路80。在步驟S16，可程式化控制器40送出重置信號給為控制器通隻其重新計數。在步驟S11，可程式化控制器40接收到頻率比較器20的低電位，則可程式計數器60繼續計數，產生下一個數位碼，電壓控制振盪器10產生下一個振盪頻率，直到振盪頻率介於參考頻率範圍內。

第16圖表示頻率偵測器的電路圖。頻率偵測器20包括相位頻率偵測器(phase-frequency detector)21、22，低通濾波器23、24，比較器25、26，互斥閘27。頻率偵測器20接收三個輸入信號，第一參考信號，具有第一參考頻率Fref1，第二參考信號，具有第二參考頻率Fref2，被測信號，也就是電壓控制震盪器的震盪信號，具有震盪頻率Fsig。低通濾波器23、24分別用以偵測相位頻率偵測器21、22輸出信號的直流成分，用以判斷被測信號頻率、第一參考頻率，第二參考頻率的相對關係。相位頻率偵測器

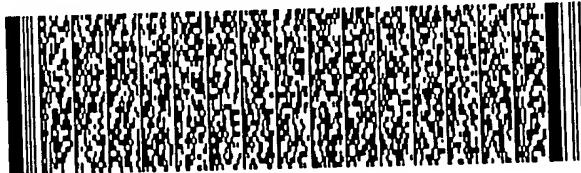
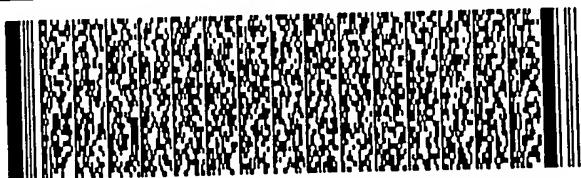


五、發明說明 (9)

21是由D型正反器(D-type flip-flop)DFF1、DFF2，以及閘(AND-gate)AND1所組成。

第17圖表示D型正反器電路圖。當頻率Fref1高於頻率Fsig，主要是Q1有直流成分，反之，當頻率Fref1低於頻率Fsig，主要是Q2有直流成分。相同地，當頻率Fref2高於頻率Fsig，主要是Q4有直流成分，反之，當頻率Fref2低於頻率Fsig，主要是Q3有直流成分。

第18A圖表示電阻之開關電容電路圖。第18A圖表示低通濾波器之開關電容電路圖。藉由時鐘信號PH1、PH2控制，電容C21、C22，電晶體M21、M22組成開關電容低通濾波器21，其中電容C21、電晶體M21、M22組成一等效電阻。其等效電阻可以表示為 $R=1/(C_{21} f_c)$ ，低通濾波器3dB頻寬表示為 $W_{3dB}=1/RC_{22}=f(C_{21}/C_{22})$ ，在頻率比較偵測器20的操作上，時鐘信號PH1、PH2頻率 f_c 必須滿足 $f_c \gg W_{3dB}$ 。偵測信號Q1、Q2經由低通濾波器23積分，輸出一直流電壓位準，經由比較器25輸出一比較信號，具有一邏輯位準，其表示振盪頻率Fsig與參考頻率Fref1頻率的大小關係。第19圖表示比較器電路圖。同樣地，相位頻率偵測器22，低通濾波器24，和比較器26產生參考頻率Fref2和振盪頻率Fsig的比較信號。比較器25、26的比較信號輸入互斥閘27，當振盪頻率Fsig落在參考頻率Fref1和參考頻率Fref2之間，互斥閘27輸出1，表示振盪頻率Fsig符合要求，否則，互斥閘27輸出0，表示振盪頻率Fsig不符合要求。當振盪頻率Fsig小於參考頻率Fref1、Fref2，比較器25的輸

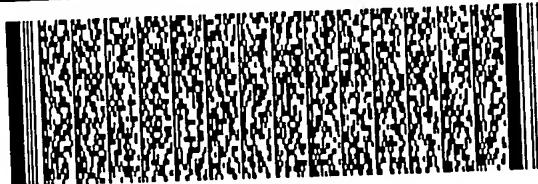
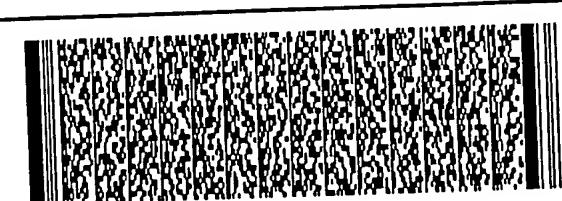


五、發明說明 (10)

出端OUT1為低電位，比較器26的輸出端OUT2為低電位，互斥閘27的輸出端OUT為低電位，如第20A圖所示。當振盪頻率Fsig大於參考頻率Fref1、Fref2，比較器25的輸出端OUT1為高電位，比較器26的輸出端OUT2為高電位，互斥閘27的輸出端OUT為低電位，如第20B圖所示。當振盪頻率Fsig介於參考頻率Fref1、Fref2之間，比較器25的輸出端OUT1為高電位，比較器26的輸出端OUT2為低電位，互斥閘27的輸出端OUT為高電位，如第20C圖所示。

第21圖表示可程式化計數器的電路圖。其包括由正向邊緣觸發型正反器所組成之非同步計數器，每一正反器的QB迴授到自身的D，前一級正反器的Q輸入下一級正反器的CK。參考工作頻率REFCLK必須低於電壓控制振盪器10的輸出頻率，使得產生下一個數位碼之前，自我測試系統有足夠的時間結束整個動作。第22圖表示可程式計數器的波形示意圖。可程式化計數器60的輸出C0-C6，用以改變數位調節電路80的數位碼，掃描(sweep)數位可調式晶片振盪器12的頻率。

可程式化控制器40主要是控制是否執行燒寫動作。當頻率偵測器20判斷出數位可調式晶片振盪器12振盪出頻率是介于兩個參考頻率時，可程式化控制器40會送出一停止訊號給可程式化計數器60使其停止動作，可程式化計數器60的輸出也固定在一數位碼，才可以對可程式化閘極燒寫器50和可程式化熔絲55進行燒寫。同時，可程式化控制器40也送出重置訊號給為控制器通知其重新計數。

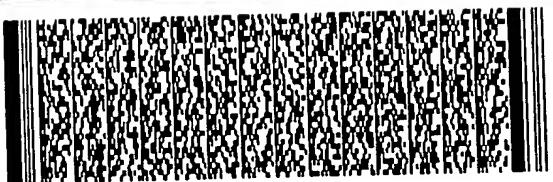


五、發明說明 (11)

第23圖表示可程式化熔絲架構圖。如20圖所示，可程式化熔絲55包括數個解碼器與多晶矽熔絲(poly-fuse)。第24圖表示多晶矽熔絲的結構圖。如第24圖所示，熔絲PF1是採用多晶矽層(poly)或是金屬層(metal)，其尺寸是在1到5個材料單位面積(square)，導通直流電壓5~15伏特輸入多晶矽熔絲使其燒斷，達到燒寫的目的。

除了多晶矽熔絲可以執行燒寫之外，還有可程式化閘極燒寫器50。和多晶矽熔絲比較，可程式化閘極燒寫器的功能如同電氣可抹除可程式唯讀記憶體(EEPROM)。可程式化閘極燒寫器50的電路圖如第25~29圖所表示。第25~29圖中可程式化閘極燒寫器都可以由標準CMOS製程製作。第25圖表示F/N穿隧浮動閘極電晶體。PMOS電晶體M1、NMOS電晶體M2的閘極耦接在一起形成一浮動閘極，PMOS電晶體M1的汲極和源極耦接在一起形成一電容，NMOS電晶體M2的汲極和源極耦接在一起形成一電容，為滿足Fowler-Nordheim tunneling的條件，PMOS電晶體M1的閘極電容CGP和NMOS電晶體M2的閘極電容CGN的比必須大於3。第26圖表示熱電子浮動閘極電晶體。為滿足NMOS通道熱電子的條件，PMOS電晶體M1的閘極電容CGP和NMOS電晶體M2的閘極電容CGN的比必須小於3。第27圖表示浮動閘極電晶體的讀取示意圖。第28圖表示F/N穿隧浮動閘極電晶體的清除示意圖。第29圖表示熱電子浮動閘極電晶體的清除示意圖。

採用標準CMOS製程設計可程式化閘極燒寫器55的優點



五、發明說明 (12)

是(1)可縮小電路面積(2)減少電路功率消耗(3)可讀(4)可寫(5)可抹除燒寫的紀錄(6)可以整合在一般數位CMOS電路。

第二實施例

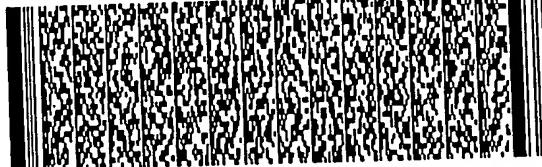
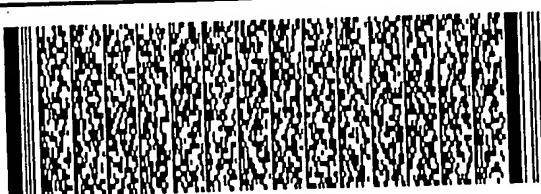
第30圖表示第二實施例的晶片整合迴授振盪器。晶片整合迴授振盪器200包括頻率對電壓轉換器110，主動比較濾波器120，限幅器130，電壓控制振盪器140，緩衝器142，除頻器150，延遲電路160，第一可程式化控制器170，第二可程式化控制器170，穩壓電路180，參考電壓電路182，組成一迴授控制迴路。

迴授控制迴路主要是利用頻率對電壓轉換器110，將電壓控制振盪器140振盪信號的振盪頻率fout轉化成一迴授電壓Vfed，藉由負迴授迴路使得迴授電壓Vfed可以追隨參考電壓Vreg，因此輸出頻率fout由參考電壓控制，當迴路穩定時，輸出頻率

$$fout = N * Vreg / Kfvc \quad (1)$$

而參考電壓Vref可以藉由可程式調節電路170改變，達到可程式控制輸出頻率fout。N為除頻器150的除頻數。Kfvc為頻率對電壓轉換器110的轉換增益。有別於鎖相迴路的頻率合成器是比較迴授輸出頻率、相位和參考頻率、相位，本實施例迴授振盪電路系統的鎖定時間非常短。

第31A圖表示頻率對電壓轉換器的示意圖。第31B圖表示頻率對電壓轉換器的電路圖。頻率對電壓轉換器110包括電容C1、C2、C3，反相放大器210，開關S1、S2、S3，



五、發明說明 (13)

電壓源 V_{ddx} ，電壓控制電流源 I_{12} 。頻率對電壓轉換器 110 主要是利用開關電容的電荷分布，以及輸入開關信號的頻率決定。第32圖表示輸入頻率對電壓轉換器的波形示意圖。積分器的輸出電壓 V_g 控制放電的平衡電流 $g_m V_g$ ，轉移電導 g_m 是由電晶體 M_5 和電流鏡 M_7-M_8 的比例 $K = (W/L)_7 / (W/L)_8$ ，在時相 T_1 ，開關 S_1 導通，電容 C_1 充電到 V_{ddx} 。在時相 T_2 ，開關 S_2 、 S_3 導通，電容 C_1 、電容 C_2 耦接到虛短路電位 V_{ref} ，電容 C_1 損失的電荷 $Q = C_1(V_{ddx} - V_{ref})$ 都流入電容 C_2 和電容 C_3 ，在穩定狀態時，流入電容 C_3 的電荷為 0，所以電荷全部流入電容 C_2 ，在穩定狀態，電容 C_2 電荷平衡， $Q = I_7 * T_1$ ，因此

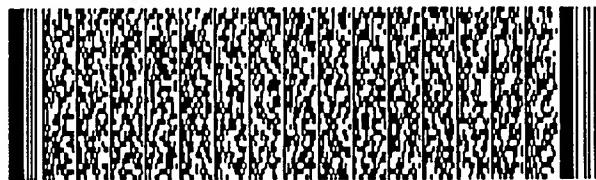
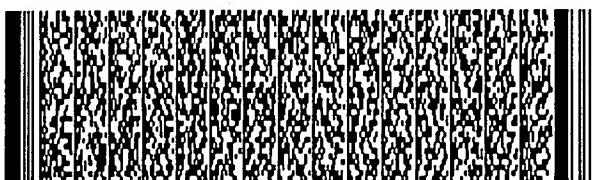
$$I_7 = C_1 * (V_{ddx} - V_{ref}) / T_1 \quad (2)$$

輸出電壓 V_{out} 正比輸出電流 I_{out} ，輸出電流 I_{out} 正比于電晶體 M_5 、 M_7 的電流，因此

$$V_{out} = K * R * C_1 (V_{ref} - V_g) f_1 \quad (3)$$

$$f_1 = 1 / T_1$$

為了達到低電壓操作需求，使用電晶體 M_9-M_{10} ， $M_{11}-M_{12}$ ， $M_{13}-M_{14}$ 所組成的傳輸閘作為開關，以降低阻抗和增加導通的電壓範圍。為了達到完全充放電，輸入頻率對電壓轉換器 110 的信號必須滿足時相 T_1 週期遠大於時相 T_2 週期，如第33圖所示。因此必須有一延遲電路 160 轉換振盪信號的工作週期，如第34圖所示。由(3)式得知，輸出電壓正比于操作頻率，而工作電壓 V_{ddx} 、虛短路電位 V_{ref} 是不受操作電壓、製程影響的固定電壓，所以頻率對



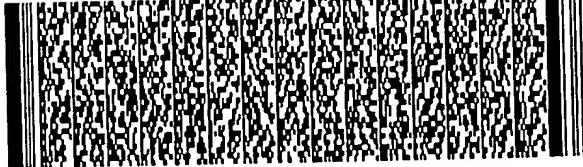
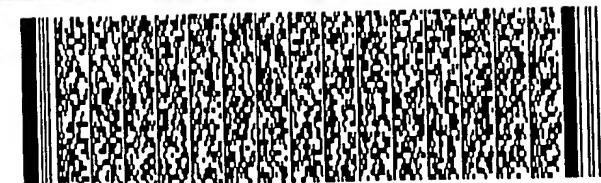
五、發明說明 (14)

電壓轉換器110的轉換特性會非常線性。

第35圖表示第二可程式化控制器電路圖，第二可程式化控制器172包括複數電流鏡，複數開關，其中複數電流鏡的閘極耦接頻率對電壓轉換器110的電晶體M5、或是電晶體M8的閘極，因此每一電流鏡產生的電流是電晶體M7平衡電流的倍數，其倍數對應數位碼的位元。複數開關，其耦接到對應複數電流鏡的輸出端和頻率對電壓轉換器110的輸出端之間，接收數位碼用以選擇複數電流鏡，調整(3)式的K，也就是調整(1)式的 K_{fvc} 。第二可程式化調整器172可以作為數位可調式晶片振盪器的細調。

第36圖表示主動比較濾波器的電路圖。主動比較濾波器120包括運算放大器240，電阻R1、R2，電容C1、C2。主動比較濾波器120是一比例積分濾波器(PI loop filter)，其用以比較頻率對電壓轉換器110的迴授電壓 V_{fed} 和參考電壓 V_{ref} 的誤差，並且穩定迴路。運算放大器240的偏移量可以由可程式調節電路170調整參考電壓補償。電阻R2，電容C1、電容C2所組成的濾波器用以濾掉頻率對電壓轉換器110的開關雜訊，提供電壓控制震盪器140一純直流控制電壓，以及維持迴路的穩定度。使用主動比較濾波器120的另一個好處是可以增加電壓控制振盪器140輸入電壓的調整範圍(tuning range)。

主動比較濾波器120的輸出為一類比電壓信號，有可能低於電壓控制振盪器140最低控制電壓，因此不振盪。第37圖表示限幅器的電路圖。限幅器130用以將主動比較



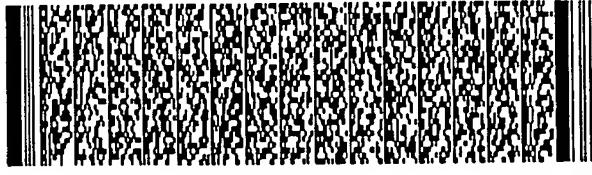
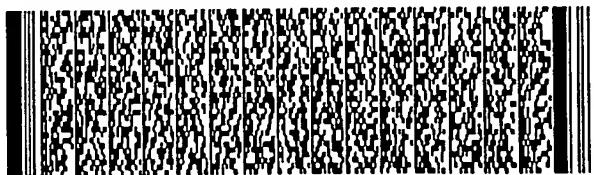
五、發明說明 (15)

濾波器120輸出的低電壓或是高電壓轉換到電壓控制振盪器140的調整範圍。例如參考電壓Vref大於迴授電壓Vfed，主動比較濾波器120輸出低電壓，限幅器130轉換此低電壓到電壓控制振盪器140可以調整並且可以振盪的輸入電壓，如此可以更容易達到所需要的高準確度頻率輸出。

第38A圖表示電壓控制振盪器的架構圖。如第38A圖所示，電壓控制振盪器140包括4級差動延遲單元組成環型振盪器(ring oscillator)。第38B圖表示差動延遲單元的電路圖。差動延遲單元260的延遲時間是藉由電晶體M1的偏壓電流，也就是電壓控制振盪器140的振盪頻率是由電晶體M1的偏壓電流所控制。振盪頻率表示為

$$f_{osc} = 1/(2Nt_d) \approx I_{ss} / 2NC_L V_{sw}$$

， C_L 為每一差動延遲單元260的負載電容(寄生電容)，控制電壓Vcnt決定電晶體M1的電流 I_{ss} ，也就是控制電壓Vcnt控制振盪頻率。差動延遲單元260的振幅 V_{sw} 由偏壓Vb決定，偏壓Vb可以藉由一差動延遲單元的複製(replica)電路(未圖示出)以及一負迴授電路(未圖示出)產生，使其限制差動延遲單元260的振幅 V_{sw} 。差動延遲單元電晶體M6-M9組成的對稱負載具有有對稱的電流-電壓轉換特性，並且提供良好共模雜訊免疫力。交叉耦合電晶體M4-M5能夠增加負載對稱性以及減少相位雜訊。負載電晶體M4、M5、M6、M6、M7、M8的源極耦接到穩定的工作電壓Vddx，使得電壓控制震盪器140的震盪頻率



五、發明說明 (16)

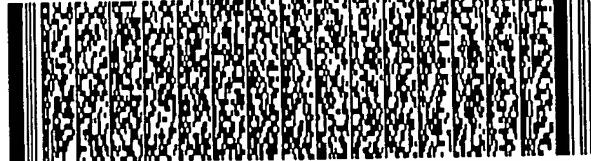
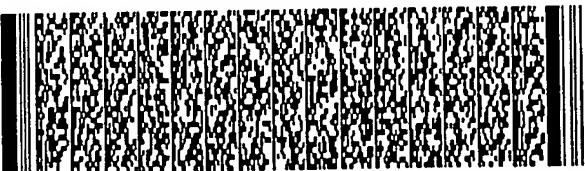
不受到電壓源影響，更為穩定。

第39圖表示差動單端轉換器的電路圖。差動單端轉換器142轉換電壓控制振盪器140的差動信號至單端信號，並且在輸出級加上緩衝器，使其震盪信號為全擺幅，提供給除頻器150、延遲電路160。差動單端轉換器142的另一功用是隔離電壓控制振盪器140的輸出端，避免影響電壓控制振盪器140的正常操作。

第40圖表示第一可程式化控制器電路圖，第一可程式化控制器170包括：一電阻串列，其具有複數電阻R1-R17，耦接到上述工作電壓Vddx，輸出端產生上述第二電壓Vreg；複數開關S1-S16，其耦接于上述複數電阻的對應接點和第一可程式化控制器的輸出端之間；以及一解碼器280，其接收上述第一數位碼，用以選擇上述對應開關，調整第二電壓Vreg，使得振盪頻率符合需求。工作電壓Vddx是由穩壓電路180接收參考電壓Vref產生，因此工作電壓Vddx為一不受電壓源影響的穩定電壓，因此第二參考電壓Vreg也是一穩定電壓。第一可程式化控制器170可以作為數位可調式晶片振盪器的粗調。

第41圖表示數位碼對電壓控制震盪器的測試圖。如第41圖所示，震盪頻率和數位碼的成線性轉換，不同的晶片的電壓控制震盪器140的頻率偏移量非常小，可藉由第二可程式化控制器172調整偏移量。.

第42圖表示電壓對電壓控制震盪器的測試圖。如第42所示，電壓源Vdd對震盪頻率影響很有限。

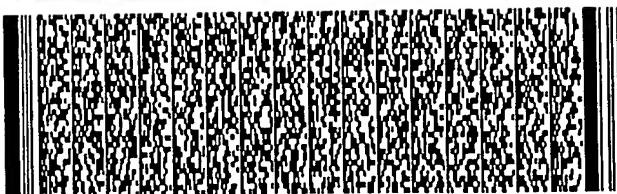


五、發明說明 (17)

第43圖表示晶片造成的頻率偏移示意圖。如第43圖所示，在電壓源Vdd為3V和3.6V，對於不同晶片，頻率偏移不超過百分之十。

第二實施例的測試架構和第一實施例相同。將第二實施例數位可調式晶片振盪器200整合到第9圖的測試架構中。其測試和燒寫步驟如第一實施例所說明。第9圖的可程式化計數器60輸出數位碼到第一可程式化控制器和第二可程式化控制器，調整振盪頻率至符合要求。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖表示第一實施例數位可調式晶片振盪器的功能方塊圖。

第2圖表示電壓控制振盪器的電路圖。

第3圖係表示電壓控制振盪器的波形示意圖。

第4圖表示數位可調式晶片震盪器的電路圖。

第5A圖表示開關電容電壓控制振盪器。

第5B圖表示開關電阻電壓控制振盪器。

第6圖表示數位調節電路的電路圖。

第7圖表示數位碼對符號位元碼的解碼器電路圖。

第8圖表示電壓源對電壓控制震盪器的測試圖。

第9圖表示數位碼對電壓控制震盪器的測試圖。

第10圖表示數位調節電路的電路圖。

第11圖表示穩壓電路70的電路圖。

第12圖表示參考電壓電路的電路圖。

第13圖表示除頻器電路圖。

第14圖表示數位可調式晶片震盪器及內建自我測試系統。

第15圖表示自我測試系統流程圖。

第16圖表示頻率偵測器的電路圖。

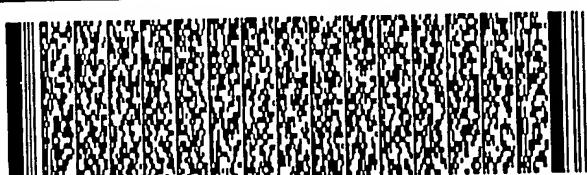
第17圖表示D型正反器電路圖。

第18A圖表示電阻之開關電容電路圖。

第18B圖表示低通濾波器之開關電容電路圖。

第19圖表示比較器電路圖。

第20A-20C圖表示頻率偵測器的波形示意圖。



圖式簡單說明

第21圖表示可程式化計數器的電路圖。

第22圖表示可程式計數器的波形示意圖。

第23圖表示可程式化熔絲架構圖。

第24圖表示多晶矽熔絲的結構圖。

第25~29圖中表示可程式化閘極燒寫器。

第30圖表示第二實施例的晶片整合迴授振盪器。

第31A圖表示頻率對電壓轉換器的示意圖。

第31B圖表示頻率對電壓轉換器的電路圖。

第32圖表示輸入頻率對電壓轉換器的波形示意圖。

第33圖表示延遲電路的波形示意圖。

第34圖表示延遲電路的電路圖。

第35圖表示第二可程式化控制器電路圖。

第36圖表示主動比較濾波器的電路圖。

第37圖表示限幅器的電路圖。

第38A圖表示電壓控制振盪器的架構圖。

第38B圖表示差動延遲單元的電路圖。

第39圖表示差動單端轉換器的電路圖。

第40圖表示第一可程式化控制器電路圖。

第41圖表示數位碼對電壓控制震盪器的測試圖。

第42圖表示電壓對電壓控制震盪器的測試圖。

第43圖表示晶片造成的頻率偏移示意圖。

符號說明：

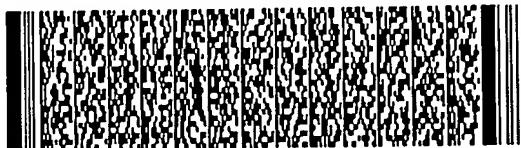
10 電壓控制振盪器

20 頻率偵測器



圖式簡單說明

- 65 頻率產生器
- 40 可程式化控制器
- 50 可程式化閘極燒寫器
- 55 可程式化熔絲
- 60 可程式化計數器
- 70 穩壓電路
- 75 參考電壓電路
- 80 數位調節電路
- 85 除頻器
- 110 頻率對電壓轉換器
- 120 主動比較濾波器
- 130 限幅器
- 140 電壓控制振盪器
- 142 緩衝器
- 150 除頻器
- 160 延遲電路
- 170 第一可程式化控制器
- 172 第二可程式化控制器
- 180 穩壓電路
- 182 參考電壓電路



六、申請專利範圍

1. 數位可調式晶片振盪器，其包括：

一電壓控制振盪器，其產生一振盪信號，接收一控制電壓用以調整上述振盪信號的振盪頻率，並且接收一工作電壓用以穩定振盪信號的振盪頻率；

一參考電壓電路，其產生一參考電壓；

一穩壓電路，其接收上述參考電壓，產生上述工作電壓；

一數位調節電路，其接收一數位碼，調整上述控制電壓，並且接收上述工作電壓穩定上述控制電壓；

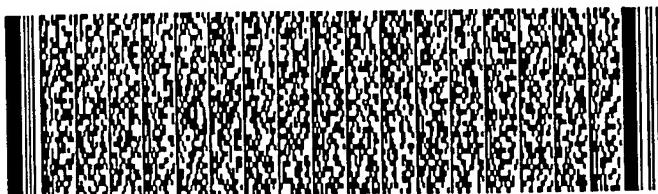
一頻率偵測器，其接收上述振盪信號，一第一參考信號其具有一第一頻率，以及一第二參考信號其具有一第二頻率，其中當上述振盪信號的振盪頻率在上述第一頻率和上述第二頻率之間，則輸出一高位準比較信號，否則輸出一低位準比較信號；

一可程式化計數器，其接收一時鐘信號觸發計數動作，用以產生上述數位碼；

一可程式化控制器，其接收上述高位準比較信號，用以產生一致能信號使得上述頻率比較器保持上述高位準比較信號，並且使得上述可程式化計數器停止計數，保持上述數位碼；以及

一可程式化記憶體，其接收上述致能信號，用以記錄上述數位碼。

2. 如申請專利範圍第1項所述之數位可調式晶片振盪器，其中上述電壓控制振盪器為一多諧振盪器。



六、申請專利範圍

3. 如申請專利範圍第1項所述之數位可調式晶片振盪器，其中上述參考電壓電路為一能隙參考電壓電路。

4. 如申請專利範圍第1項所述之數位可調式晶片振盪器，其中上述穩壓電路包括：

一轉移電導放大器，其接收上述參考電壓和一迴授電壓，輸出一偏壓電壓；

一電晶體，其接收上述偏壓電壓，輸出一電流和上述工作電壓；以及

一迴授電路，其接收上述電流，輸出上述迴授電壓。

5. 如申請專利範圍第1項所述之數位可調式晶片振盪器，其中上述數位調節電路包括：

複數電流鏡，其接收一偏壓電壓，產生對應於上述數位碼位元的複數偏壓電流，並且接收上述工作電壓穩定上述複數偏壓電流；

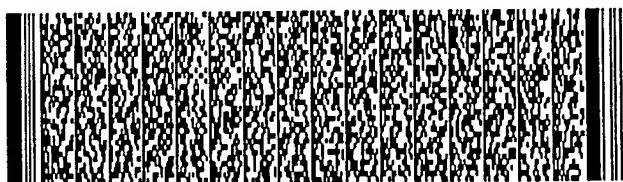
一電晶體，其接收上述複數偏壓電流，產生上述控制電壓；以及

複數開關，其耦接於對應之上述複數電流鏡和上述電晶體之間，接收上述數位碼，用以選擇上述複數電流鏡。

6. 如申請專利範圍第5項所述之數位可調式晶片振盪器，其更包括：

一除頻器，其接收上述震盪信號，根據一分周碼產生一分周信號。

7. 如申請專利範圍第6項所述之數位可調式晶片振盪器，其中上述數位調節電路更包括：



六、申請專利範圍

一轉移電導放大器，其接收上述參考電壓和一迴授電壓，輸出上述偏壓電壓；

一電晶體，其接收上述偏壓電壓，輸出一參考電流；其中上述偏壓耦接到上述複數電流鏡，使得上述複數電流源的偏壓電流與上述參考電流成一比例；以及

一迴授電路，其接收上述參考電流，輸出上述迴授電壓。

8. 如申請專利範圍第1項所述之數位可調式晶片振盪器，其中上述數位調節電路更包括：

複數充電電流鏡，其接收一偏壓電壓，產生對應於上述數位碼位元的複數偏壓電流，並且接收上述工作電壓穩定上述複數偏壓電流；

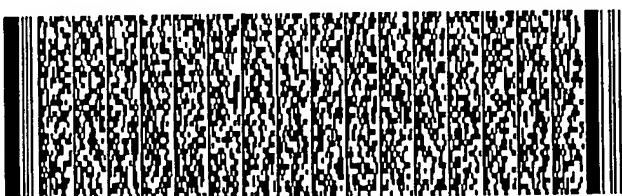
複數放電電流鏡，其接收上述偏壓電流，產生對應於上述數位碼位元的複數偏壓電流；

一電晶體，其接收上述複數偏壓電流，產生上述控制電壓；

複數第一開關，其耦接於對應之上述複數充電電流鏡和上述電晶體之間，接收上述數位碼，用以選擇上述複數充電電流鏡；以及

複數第二開關，其耦接於對應之上述複數放電電流鏡和上述電晶體之間，接收上述數位碼用以選擇上述複數放電電流鏡。

9. 如申請專利範圍第1項所述之數位可調式晶片振盪器，其中上述可程式化記憶體為可程式化熔絲。



六、申請專利範圍

10. 如申請專利範圍第1項所述之數位可調式晶片振盪器，其中上述可程式化記憶體為可程式化閘極燒寫器。

11. 如申請專利範圍第1項所述之數位可調式晶片振盪器，其中上述頻率比較器包括：

一第一相位頻率偵測器，其接收上述第一參考信號和上述振盪信號，產生一第一偵測信號；

一第一低通濾波器，其接收上述第一偵測信號，輸出上述第一偵測信號的直流成分；

一第一比較器，其接收上述第一偵測信號的直流成分，產生一第一比較信號；其中當上述第一參考頻率大於上述振盪頻率，則上述第一比較信號為高位準，否則上述第一比較信號為低位準；

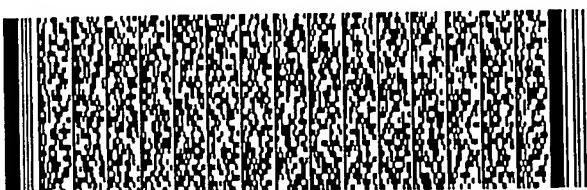
一第二相位頻率偵測器，其接收上述第二參考信號和上述振盪信號，產生一第二偵測信號；

一第二低通濾波器，其接收上述第二偵測信號，輸出上述第二偵測信號的直流成分；

一第二比較器，其接收上述第二偵測信號的直流成分，產生一第二比較信號；其中當上述第二參考頻率大於上述振盪頻率，則上述第二比較信號為高位準，否則上述第二比較信號為低位準；以及

一互斥閘，其接收上述第一比較信號和上述第二比較信號，產生上述比較信號。

12. 如申請專利範圍第11項所述之數位可調式晶片振盪器，其中上述第一低通濾波器和上述第二低通濾波器為



六、申請專利範圍

開關電容濾波器。

13. 如申請專利範圍第1項所述之數位可調式晶片振盪器，其中上述電壓控制震盪器、上述數位調節電路都具有省電模式。

14. 數位可調式晶片振盪器，其包括：

一電壓控制振盪器，其產生一振盪信號，接收一控制電壓用以調整上述振盪信號的振盪頻率，並且接收一工作電壓用以穩定振盪信號的振盪頻率；

一參考電壓電路，其產生一參考電壓；

一穩壓電路，其接收上述參考電壓，產生上述工作電壓；以及

一數位調節電路，其接收一數位碼，調整上述控制電壓，並且接收上述工作電壓穩定上述控制電壓。

15. 如申請專利範圍第14項所述之數位可調式晶片振盪器，其中上述電壓控制振盪器為一多諧振盪器。

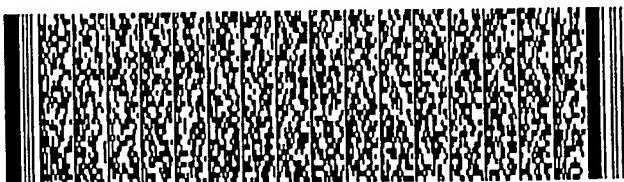
16. 如申請專利範圍第14項所述之數位可調式晶片振盪器，其中上述參考電壓電路為一能隙參考電壓電路。

17. 如申請專利範圍第14項所述之數位可調式晶片振盪器，其更包括：

一除頻器，其接收上述震盪信號，根據一分周碼產生一分周信號。

18. 如申請專利範圍第14項所述之數位可調式晶片振盪器，其中上述穩壓電路包括：

一轉移電導放大器，其接收上述參考電壓和一迴授電



六、申請專利範圍

壓，輸出一偏壓電壓；

一電晶體，其接收上述偏壓電壓，輸出一電流和上述工作電壓；以及

一迴授電路，其接收上述電流，輸出上述迴授電壓。

19. 如申請專利範圍第14項所述之數位可調式晶片振盪器，其中上述數位調節電路包括：

複數電流鏡，其接收一偏壓電壓，產生對應於上述數位碼位元的複數偏壓電流，並且接收上述工作電壓穩定上述複數偏壓電流；

一電晶體，其接收上述複數偏壓電流，產生上述控制電壓；以及

複數開關，其耦接於對應之上述複數電流鏡和上述電晶體之間，接收上述數位碼，用以選擇上述複數電流鏡。

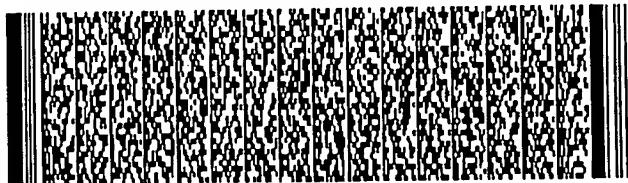
20. 如申請專利範圍第14項所述之數位可調式晶片振盪器，其中上述數位調節電路更包括：

一轉移電導放大器，其接收上述參考電壓和一迴授電壓，輸出上述偏壓電壓；

一電晶體，其接收上述偏壓電壓，輸出一參考電流；其中上述偏壓耦接到上述複數電流鏡，使得上述複數電流源的偏壓電流與上述參考電流成一比例；以及

一迴授電路，其接收上述參考電流，輸出上述迴授電壓。

21. 如申請專利範圍第14項所述之數位可調式晶片振盪器，其中上述數位調節電路更包括：



六、申請專利範圍

複數充電電流鏡，其接收一偏壓電壓，產生對應於上述數位碼位元的複數偏壓電流，並且接收上述工作電壓穩定上述複數偏壓電流；

複數放電電流鏡，其接收上述偏壓電流，產生對應於上述數位碼位元的複數偏壓電流；

一電晶體，其接收上述複數偏壓電流，產生上述控制電壓；

複數第一開關，其耦接於對應之上述複數充電電流鏡和上述電晶體之間，接收上述數位碼，用以選擇上述複數充電電流鏡；以及

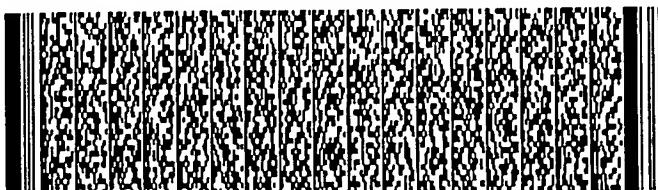
複數第二開關，其耦接於對應之上述複數放電電流鏡和上述電晶體之間，接收上述數位碼用以選擇上述複數放電電流鏡。

22. 如申請專利範圍第14項所述之數位可調式晶片振盪器，其更包括：

一頻率偵測器，其接收上述振盪信號，一第一參考信號其具有一第一頻率，以及一第二參考信號其具有一第二頻率，其中當上述振盪頻率在上述第一頻率和上述第二頻率之間，則輸出一高位準比較信號，否則輸出一低位準比較信號；

一可程式化計數器，其接收一時鐘信號觸發計數動作，用以產生上述數位碼；

一可程式化控制器，其接收上述高位準比較信號，用以產生一致能信號使得上述頻率比較器保持上述高位準比



六、申請專利範圍

較信號，並且使得上述可程式化計數器停止計數，保持上述數位碼；以及

一可程式化記憶體，其接收上述致能信號，用以記錄上述數位碼。

23. 如申請專利範圍第22項所述之數位可調式晶片振盪器，其中上述可程式化記憶體包括：

複數解碼器，

複數多晶矽熔絲。

24. 如申請專利範圍第22項所述之數位可調式晶片振盪器，其中上述可程式化記憶體為可程式化閘極燒寫器。

25. 如申請專利範圍第22項所述之數位可調式晶片振盪器，其中上述頻率比較器包括：

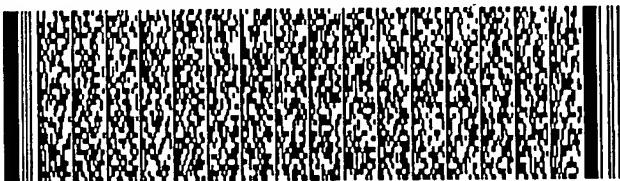
一第一相位頻率偵測器，其接收上述第一參考信號和上述振盪信號，產生一第一偵測信號；

一第一低通濾波器，其接收上述第一偵測信號，輸出上述第一偵測信號的直流成分；

一第一比較器，其接收上述第一偵測信號的直流成分，產生一第一比較信號；其中當上述第一參考頻率大於上述振盪頻率，則上述第一比較信號為高位準，否則上述第一比較信號為低位準；

一第二相位頻率偵測器，其接收上述第二參考信號和上述振盪信號，產生一第二偵測信號；

一第二低通濾波器，其接收上述第二偵測信號，輸出上述第二偵測信號的直流成分；



六、申請專利範圍

一 第二比較器，其接收上述第二偵測信號的直流成分，產生一第二比較信號；其中當上述第二參考頻率大於上述振盪頻率，則上述第二比較信號為高位準，否則上述第二比較信號為低位準；以及

一互斥閘，其接收上述第一比較信號和上述第二比較信號，產生上述比較信號。

26. 如申請專利範圍第25項所述之數位可調式晶片振盪器，其中上述第一低通濾波器和上述第二低通濾波器為開關電容濾波器。

27. 數位可調式晶片振盪器，其包括：

一電壓控制振盪器，其產生一振盪信號，並且接收一控制電壓控制上述振盪信號的振盪頻率；

一頻率對電壓轉換器，其接收上述振盪信號，根據一工作電壓和一第一電壓產生一迴授電壓；

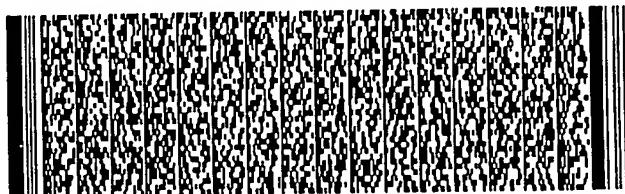
一主動比較濾波器，其接收上述迴授電壓和一第二電壓產生上述控制電壓；以及

一第一可程式化控制器，其接收一第一數位碼和上述工作電壓，產生上述第二電壓。

28. 如申請專利範圍第27項所述之數位可調式晶片振盪器，其更包括：

一參考電壓電路，其產生上述參考電壓；其中上述參考電壓電路為一能隙參考電壓電路。

29. 如申請專利範圍第27項所述之數位可調式晶片振盪器，其更包括：



六、申請專利範圍

一 穩壓電路，其接收上述參考電壓，產生上述工作電壓。

30. 如申請專利範圍第27項所述之數位可調式晶片振盪器，其中上述穩壓電路包括：

一 轉移電導放大器，其接收上述參考電壓和一迴授電壓，輸出一偏壓電壓；

一 電晶體，其接收上述偏壓電壓，輸出一電流和上述工作電壓；以及

一 回授電路，其接收上述電流，輸出上述回授電壓。

31. 如申請專利範圍第27項所述之數位可調式晶片振盪器，其更包括：

一 除頻器，其接收上述震盪信號，根據一分周碼產生一分周信號輸出到上述頻率對電壓轉換器。

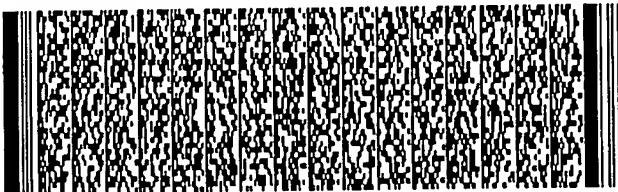
32. 如申請專利範圍第31項所述之數位可調式晶片振盪器，其更包括：

一 延遲電路，其接收上述分周信號，產生一延遲信號輸出到上述頻率對電壓轉換器，其中上述延遲信號的任務週期滿足上述頻率對電壓轉換器的要求。

33. 如申請專利範圍第27項所述之數位可調式晶片振盪器，其中上述第一可程式化控制器包括：

一 電阻串列，其包括複數電阻，接收上述工作電壓，輸出端產生上述第二電壓；

複數開關，其耦接于上述複數電阻的對應接點和上述可程式化控制器的輸出端之間；以及



六、申請專利範圍

一解碼器，其接收上述第一數位碼，用以選擇上述對應開關。

34. 如申請專利範圍第27項所述之數位可調式晶片振盪器，其中，上述頻率對電壓轉換器包括：

一第一電容；

一第二電容；

一放大器，其具有輸入端，反相輸入端，輸出端，其中上述放大器輸入端耦接於上述第一電壓；

一第三電容，其耦接於上述放大器的反相輸入端和上述放大器的輸出端之間；

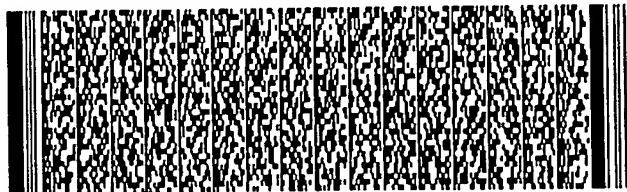
一第一開關，其耦接於上述頻率對電壓轉換器的輸入端和上述反相放大器的反相輸入端之間，其控制端接收一與上述振盪信號極性相反的信號；

一第二開關，其耦接於上述反相放大器的反相輸入端和上述第二電容之間，其控制端接收上述電壓控制振盪器的輸出信號；

一電壓控制電流源，其輸入端接收上述反相放大器的輸出端電壓，輸出端產生一平衡電流，並且耦接於上述第二電容；以及

電流對電壓轉換電路，其輸入端耦接於上述電壓控制電流源的輸入端，輸出端耦接於一電阻，上述電阻的電流和上述平衡電流成比例。

35. 如申請專利範圍第27項所述之數位可調式晶片振盪器，其中，上述數位可調式晶片振盪器更包括：



六、申請專利範圍

一 第二可程式化控制器，其接收一第二數位碼，用以選擇輸入上述電流對電壓轉換電路中上述電阻的電流。

36. 如申請專利範圍第35項所述之數位可調式晶片振盪器，其中，上述第二可程式化控制器包括：

複數電流鏡，其中每一上述電流鏡的偏壓點耦接於上述電壓控制電流源的輸入端，輸出端產生的電流是上述平衡電流的倍數，其倍數對應上述數位碼的位元；以及

複數開關，其耦接到對應上述複數電流鏡的輸出端和上述頻率對電壓轉換器的輸出端之間，接收上述數位碼用以選擇上述複數電流鏡。

37. 如申請專利範圍第27項所述之數位可調式晶片振盪器，其中，上述主動比較濾波器為比例積分濾波器。

38. 如申請專利範圍第27項所述之數位可調式晶片振盪器，其中，上述主動比較濾波器包括：

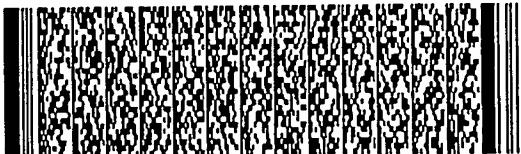
一 差動放大器，其具有一輸入端，一反相輸入端，以及一輸出端，其中上述差動放大器的輸入端接收上述第二電壓，

一 第一電阻，其一端接收上述迴授電壓，另一端耦接於上述差動放大器的反相輸入端；以及

一 第一電容，其耦接於上述差動放大器的反相輸入端和上述差動放大器的輸出端；

一 第二電阻，其一端耦接於上述差動放大器的反相輸入端；以及

一 第二電容，其耦接於上述第二電阻的另一端和上述



六、申請專利範圍

差動放大器的輸出端。

39. 如申請專利範圍第27項所述之數位可調式晶片振盪器，其中，上述數位可調式晶片振盪器更包括：

一限幅器，其接收上述主動比較濾波器輸出的上述控制電壓，調整上述控制電壓使其在上述電壓控制振盪器的控制輸入動態範圍。

40. 如申請專利範圍第27項所述之數位可調式晶片振盪器，其中，上述電壓控制振盪器包括：

複數差動延遲單元，串接成一環狀結構，其中每一上述差動延遲單元具有差動輸入對和差動輸出對，並且具有一控制端接收上述控制電壓調整延遲時間。

41. 如申請專利範圍第40項所述之數位可調式晶片振盪器，其中，上述電壓控制振盪器更包括：

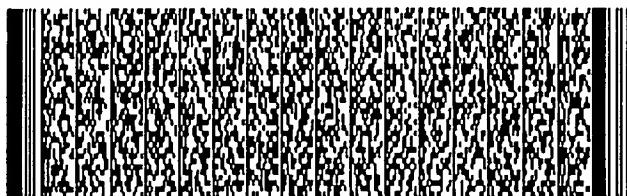
一差動單端轉換器，其具有差動輸入對和單端輸出端，其中上述差動單端轉換器的差動輸入對耦接於一上述差動延遲單元的輸出對。

42. 如申請專利範圍第40項所述之數位可調式晶片振盪器，其中，上述電壓控制振盪器更包括：

輸出緩衝器，其輸入端耦接上述差動單端轉換器的單端輸出端，輸出端的信號為全擺幅信號。

43. 如申請專利範圍第27項所述之數位可調式晶片振盪器，其更包括：

一頻率偵測器，其接收上述振盪信號，一第一參考信號其具有一第一頻率，以及一第二參考信號其具有一第二



六、申請專利範圍

頻率，其中當上述振盪頻率在上述第一頻率和上述第二頻率之間，則輸出一高位準比較信號，否則輸出一低位準比較信號；

一可程式化計數器，其接收一時鐘信號觸發計數動作，用以產生上述第一數位碼；

一可程式化控制器，其接收上述高位準比較信號，用以產生一致能信號使得上述頻率比較器保持上述高位準比較信號，並且使得上述可程式化計數器停止計數，保持上述數位碼；以及

一可程式化記憶體，其接收上述致能信號，用以記錄上述數位碼。

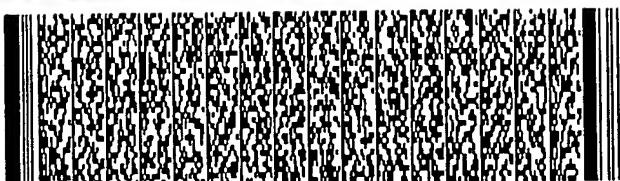
44. 如申請專利範圍第43項所述之數位可調式晶片振盪器，其中上述可程式化記憶體為可程式化熔絲。

45. 如申請專利範圍第43項所述之數位可調式晶片振盪器，其中上述可程式化記憶體為可程式化閘極燒寫器

46. 如申請專利範圍第27項所述之數位可調式晶片振盪器，其更包括：

一頻率偵測器，其接收上述振盪信號，一第一參考信號其具有一第一頻率，以及一第二參考信號其具有一第二頻率，其中當上述振盪頻率在上述第一頻率和上述第二頻率之間，則輸出一高位準比較信號，否則輸出一低位準比較信號；

一可程式化計數器，其接收一時鐘信號觸發計數動作，用以產生上述第一數位碼和上述第二數位碼；



六、申請專利範圍

一可程式化控制器，其接收上述高位準比較信號，用以產生一致能信號使得上述頻率比較器保持上述高位準比較信號，並且使得上述可程式化計數器停止計數，保持上述第一數位碼和上述第二數位碼；以及

一可程式化記憶體，其接收上述致能信號，用以記錄上述第一數位碼和上述第二數位碼。

47. 如申請專利範圍第43項所述之數位可調式晶片振盪器，其中上述頻率比較器包括：

一第一相位頻率偵測器，其接收上述第一參考信號和上述振盪信號，產生一第一偵測信號；

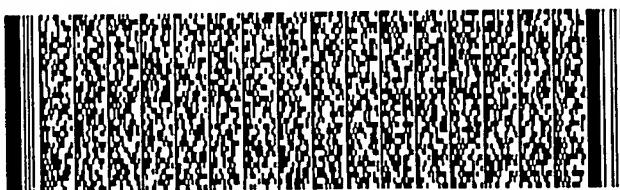
一第一低通濾波器，其接收上述第一偵測信號，輸出上述第一偵測信號的直流成分；

一第一比較器，其接收上述第一偵測信號的直流成分，產生一第一比較信號；其中當上述第一參考頻率大於上述振盪頻率，則上述第一比較信號為高位準，否則上述第一比較信號為低位準；

一第二相位頻率偵測器，其接收上述第二參考信號和上述振盪信號，產生一第二偵測信號；

一第二低通濾波器，其接收上述第二偵測信號，輸出上述第二偵測信號的直流成分；

一第二比較器，其接收上述第二偵測信號的直流成分，產生一第二比較信號；其中當上述第二參考頻率大於上述振盪頻率，則上述第二比較信號為高位準，否則上述第二比較信號為低位準；以及



六、申請專利範圍

一互斥閘，其接收上述第一比較信號和上述第二比較信號，產生上述比較信號。

48. 如申請專利範圍第47項所述之數位可調式晶片振盪器，其中上述第一低通濾波器和上述第二低通濾波器為開關電容濾波器。

49. 一種數位可調式晶片振盪器，其包括：

一電壓控制振盪器，其產生一振盪信號，並且接收一控制電壓控制上述振盪信號的振盪頻率；

一頻率對電壓轉換器，其接收上述振盪信號，根據一工作電壓和一第一電壓產生一迴授電壓；

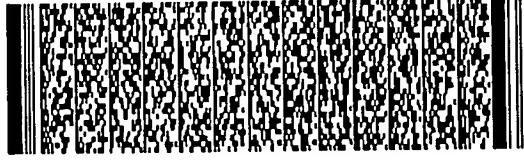
一主動比較濾波器，其接收上述迴授電壓和一第二電壓產生上述控制電壓；以及

一第一可程式化控制器，其接收一第一數位碼和上述工作電壓，產生上述第二電壓；

一頻率偵測器，其接收上述振盪信號，一第一參考信號其具有一第一頻率，以及一第二參考信號其具有一第二頻率，其中當上述振盪信號的振盪頻率在上述第一頻率和上述第二頻率之間，則輸出一高位準比較信號，否則輸出一低位準比較信號；

一可程式化計數器，其接收一時鐘信號觸發計數動作，用以產生上述第一數位碼；

一可程式化控制器，其接收上述高位準比較信號，用以產生一致能信號使得上述頻率比較器保持上述高位準比較信號，並且使得上述可程式化計數器停止計數，保持上



六、申請專利範圍

述第一數位碼；以及

一可程式化記憶體，其接收上述致能信號，用以記錄上述第一數位碼。

50. 如申請專利範圍第49項所述之數位可調式晶片振盪器，其更包括：

一參考電壓電路，其產生上述參考電壓；其中上述參考電壓電路為一能隙參考電壓電路。

51. 如申請專利範圍第49項所述之數位可調式晶片振盪器，其更包括：

一穩壓電路，其接收上述參考電壓，產生上述工作電壓。

52. 如申請專利範圍第49項所述之數位可調式晶片振盪器，其中上述穩壓電路包括：

一轉移電導放大器，其接收上述參考電壓和一迴授電壓，輸出一偏壓電壓；

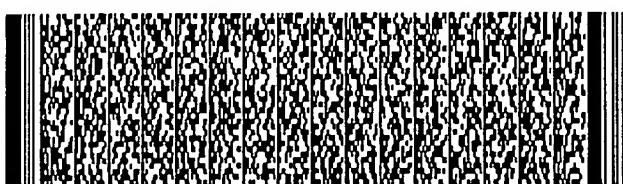
一電晶體，其接收上述偏壓電壓，輸出一電流和上述工作電壓；以及

一迴授電路，其接收上述電流，輸出上述迴授電壓。

53. 如申請專利範圍第49項所述之數位可調式晶片振盪器，其中上述第一可程式化控制器包括：

一電阻串列，其包括複數電阻，接收上述工作電壓，輸出端產生上述第二電壓；

複數開關，其耦接于上述複數電阻的對應接點和上述可程式化控制器的輸出端之間；以及



六、申請專利範圍

一解碼器，其接收上述第一數位碼，用以選擇上述對應開關。

54. 如申請專利範圍第49項所述之數位可調式晶片振盪器，其中，上述頻率對電壓轉換器包括：

一第一電容；

一第二電容；

一放大器，其具有輸入端，反相輸入端，輸出端，其中上述放大器輸入端耦接於上述第一電壓；

一第三電容，其耦接於上述放大器的反相輸入端和上述放大器的輸出端之間；

一第一開關，其耦接於上述頻率對電壓轉換器的輸入端和上述反相放大器的反相輸入端之間，其控制端接收一與上述振盪信號極性相反的信號；

一第二開關，其耦接於上述反相放大器的反相輸入端和上述第二電容之間，其控制端接收上述電壓控制振盪器的輸出信號；

一電壓控制電流源，其輸入端接收上述反相放大器的輸出端電壓，輸出端產生一平衡電流，並且耦接於上述第二電容；以及

電流對電壓轉換電路，其輸入端耦接於上述電壓控制電流源的輸入端，輸出端耦接於一電阻，上述電阻的電流和上述平衡電流成比例。

55. 如申請專利範圍第49項所述之數位可調式晶片振盪器，其更包括：



六、申請專利範圍

一除頻器，其接收上述震盪信號，根據一分周碼產生一分周信號輸出到上述頻率對電壓轉換器。

56. 如申請專利範圍第55項所述之數位可調式晶片振盪器，其更包括：

一延遲電路，其接收上述分周信號，產生一延遲信號輸出到上述頻率對電壓轉換器，其中上述延遲信號的任務週期滿足上述頻率對電壓轉換器的要求。

57. 如申請專利範圍第49項所述之數位可調式晶片振盪器，其中，上述數位可調式晶片振盪器更包括：

一第二可程式化控制器，其接收一第二數位碼，用以選擇輸入上述電流對電壓轉換電路中上述電阻的電流。

58. 如申請專利範圍第57項所述之數位可調式晶片振盪器，其中，上述第二可程式化控制器包括：

複數電流鏡，其中每一上述電流鏡的偏壓點耦接於上述電壓控制電流源的輸入端，輸出端產生的電流是上述平衡電流的倍數，其倍數對應上述數位碼的位元；以及

複數開關，其耦接到對應上述複數電流鏡的輸出端和上述頻率對電壓轉換器的輸出端之間，接收上述數位碼用以選擇上述複數電流鏡。

59. 如申請專利範圍第49項所述之數位可調式晶片振盪器，其中，上述主動比較濾波器為比例積分濾波器。

60. 如申請專利範圍第49項所述之數位可調式晶片振盪器，其中，上述主動比較濾波器包括：

一差動放大器，其具有一輸入端，一反相輸入端，以



六、申請專利範圍

及一輸出端，其中上述差動放大器的輸入端接收上述第二電壓，

一第一電阻，其一端接收上述迴授電壓，另一端耦接於上述差動放大器的反相輸入端；以及

一第一電容，其耦接於上述差動放大器的反相輸入端和上述差動放大器的輸出端；

一第二電阻，其一端耦接於上述差動放大器的反相輸入端；以及

一第二電容，其耦接於上述第二電阻的另一端和上述差動放大器的輸出端。

61. 如申請專利範圍第49項所述之數位可調式晶片振盪器，其中，上述數位可調式晶片振盪器更包括：

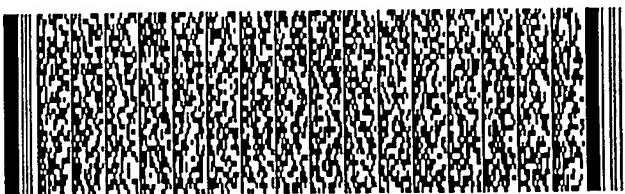
一限幅器，其接收上述主動比較濾波器輸出的上述控制電壓，調整上述控制電壓使其在上述電壓控制振盪器的控制輸入動態範圍。

62. 如申請專利範圍第49項所述之數位可調式晶片振盪器，其中，上述電壓控制振盪器包括：

複數差動延遲單元，串接成一環狀結構，其中每一上述差動延遲單元具有差動輸入對和差動輸出對，並且具有一控制端接收上述控制電壓調整延遲時間。

63. 如申請專利範圍第62項所述之數位可調式晶片振盪器，其中，上述電壓控制振盪器更包括：

一差動單端轉換器，其具有差動輸入對和單端輸出端，其中上述差動單端轉換器的差動輸入對耦接於一上述



六、申請專利範圍

差動延遲單元的輸出對。

64. 如申請專利範圍第63項所述之數位可調式晶片振盪器，其中，上述電壓控制振盪器更包括：

輸出緩衝器，其輸入端耦接上述差動單端轉換器的單端輸出端，輸出端的信號為全擺幅信號。

65. 如申請專利範圍第49項所述之數位可調式晶片振盪器，其中上述可程式化記憶體為可程式化熔絲。

66. 如申請專利範圍第49項所述之數位可調式晶片振盪器，其中上述可程式化記憶體為可程式化閘極燒寫器。

67. 如申請專利範圍第49項所述之數位可調式晶片振盪器，其中上述頻率比較器包括：

一第一相位頻率偵測器，其接收上述第一參考信號和上述振盪信號，產生一第一偵測信號；

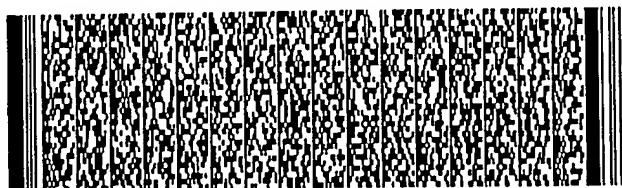
一第一低通濾波器，其接收上述第一偵測信號，輸出上述第一偵測信號的直流成分；

一第一比較器，其接收上述第一偵測信號的直流成分，產生一第一比較信號；其中當上述第一參考頻率大於上述振盪頻率，則上述第一比較信號為高位準，否則上述第一比較信號為低位準；

一第二相位頻率偵測器，其接收上述第二參考信號和上述振盪信號，產生一第二偵測信號；

一第二低通濾波器，其接收上述第二偵測信號，輸出上述第二偵測信號的直流成分；

一第二比較器，其接收上述第二偵測信號的直流成

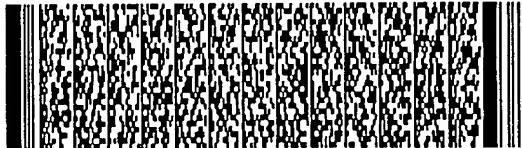


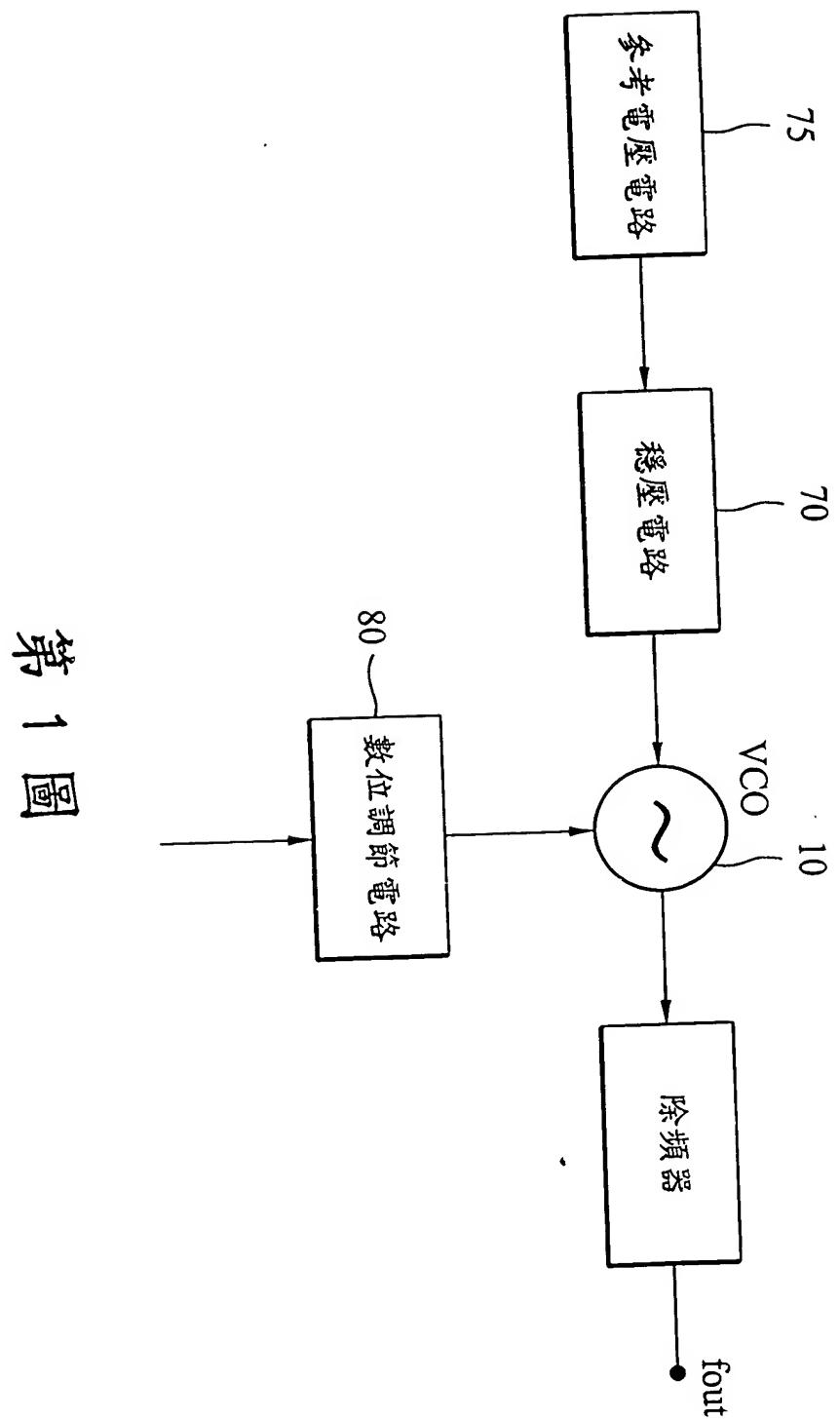
六、申請專利範圍

分，產生一第二比較信號；其中當上述第二參考頻率大於上述振盪頻率，則上述第二比較信號為高位準，否則上述第二比較信號為低位準；以及

一互斥閘，其接收上述第一比較信號和上述第二比較信號，產生上述比較信號。

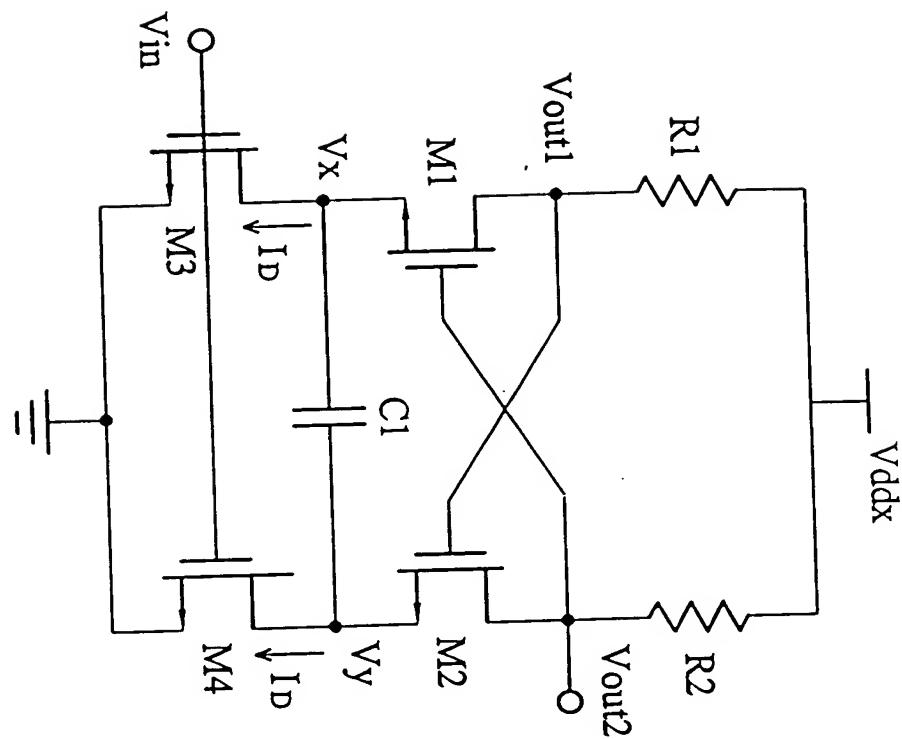
68. 如申請專利範圍第67項所述之數位可調式晶片振盪器，其中上述第一低通濾波器和上述第二低通濾波器為開關電容濾波器。

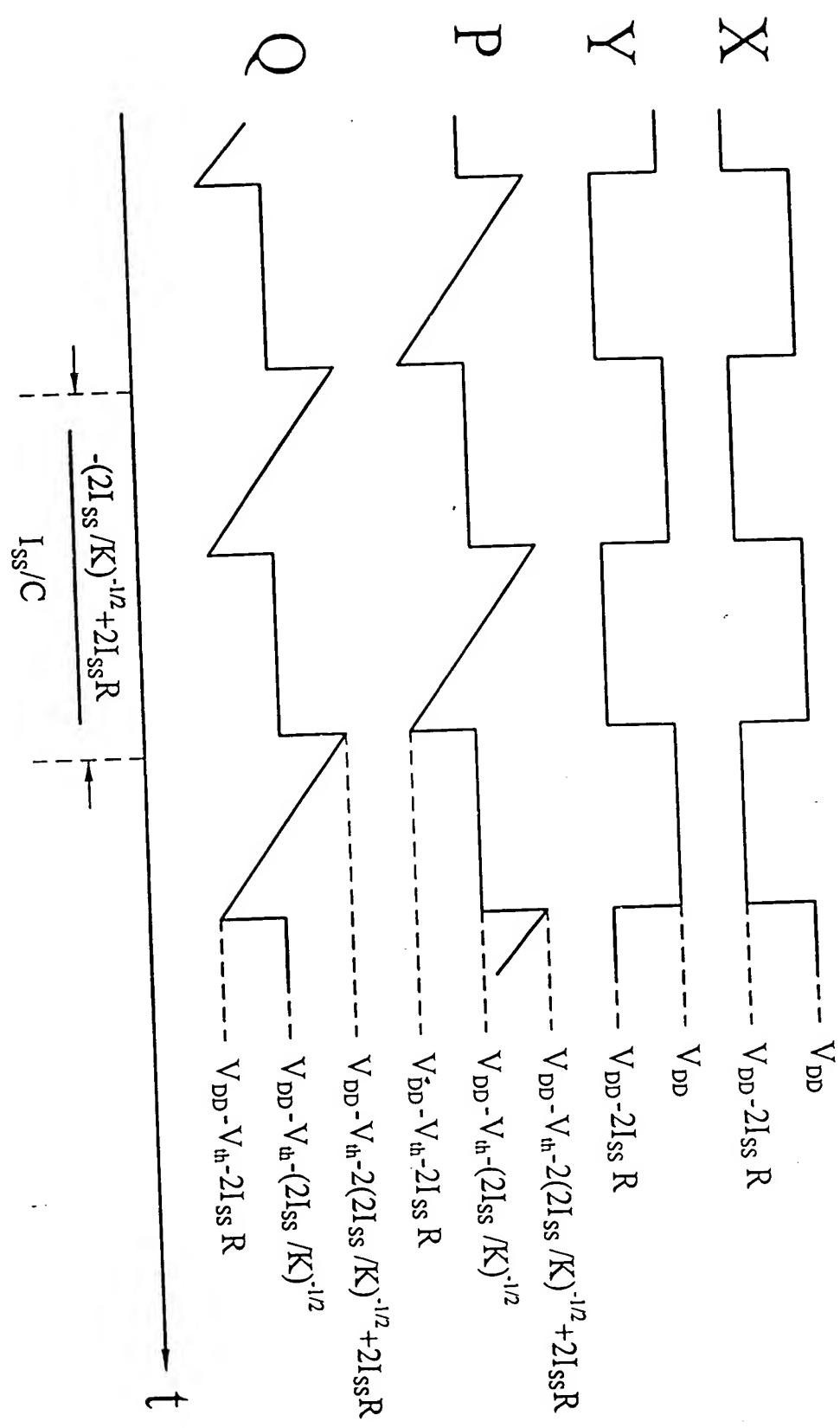




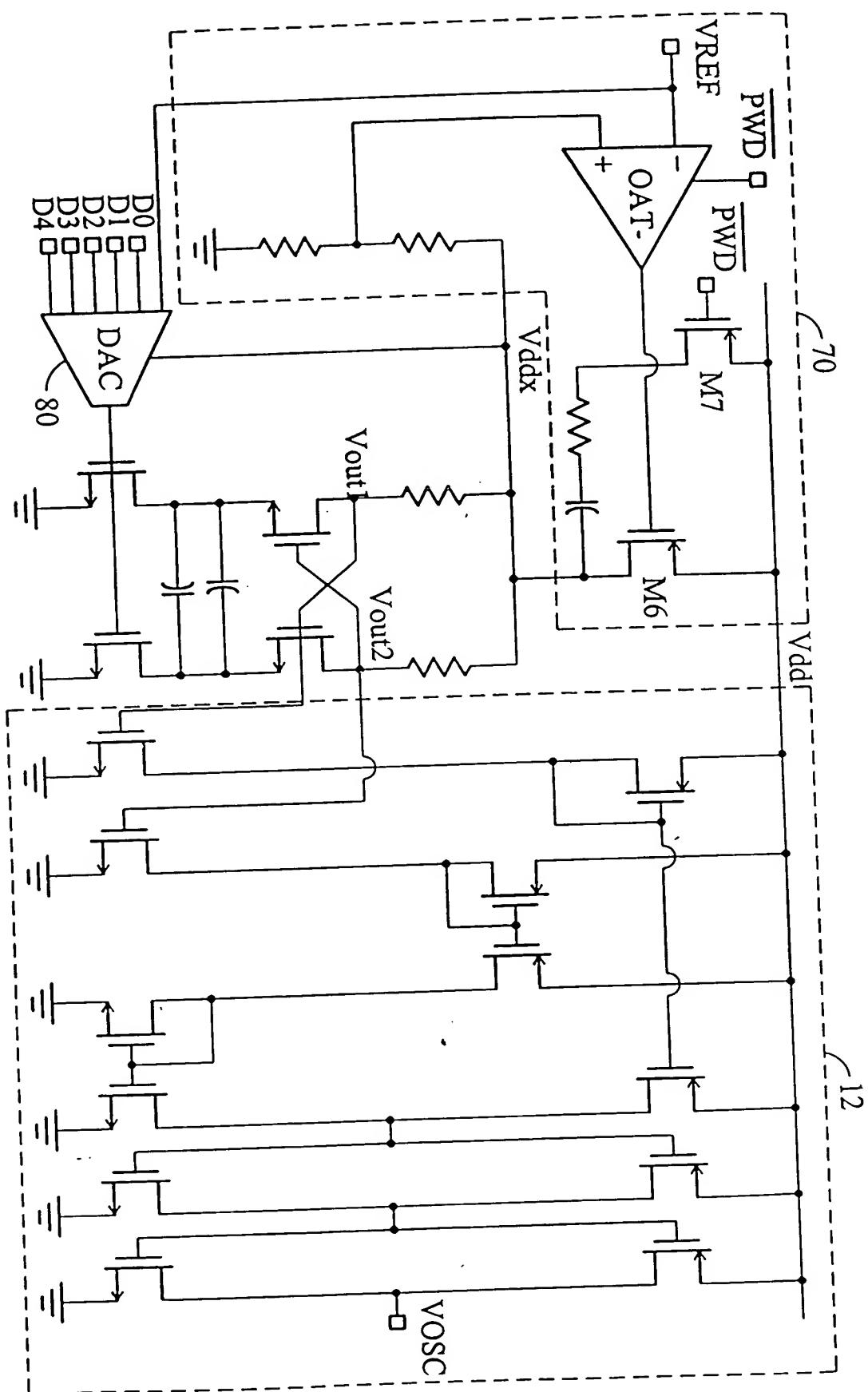
第 1 圖

第 2 圖

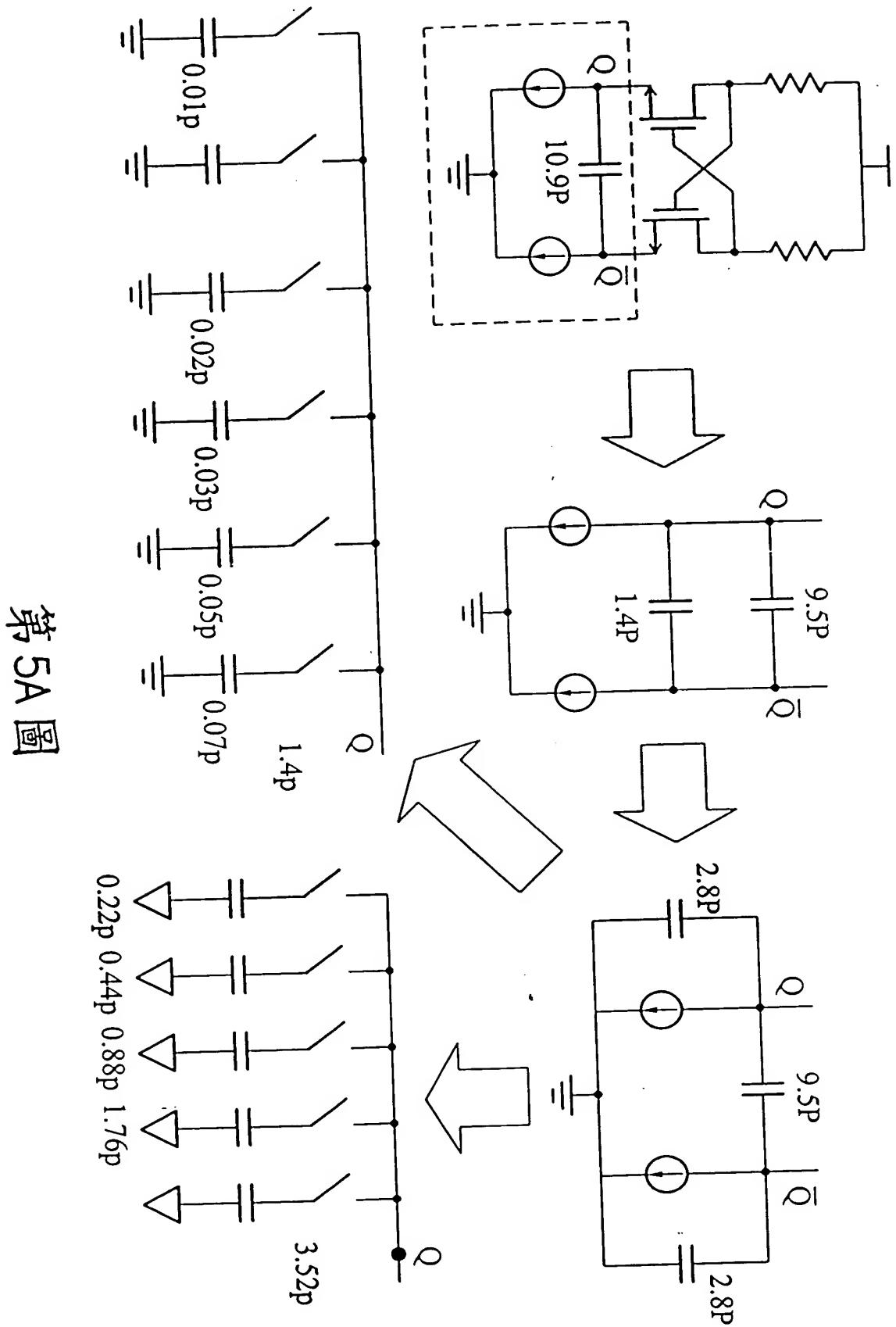




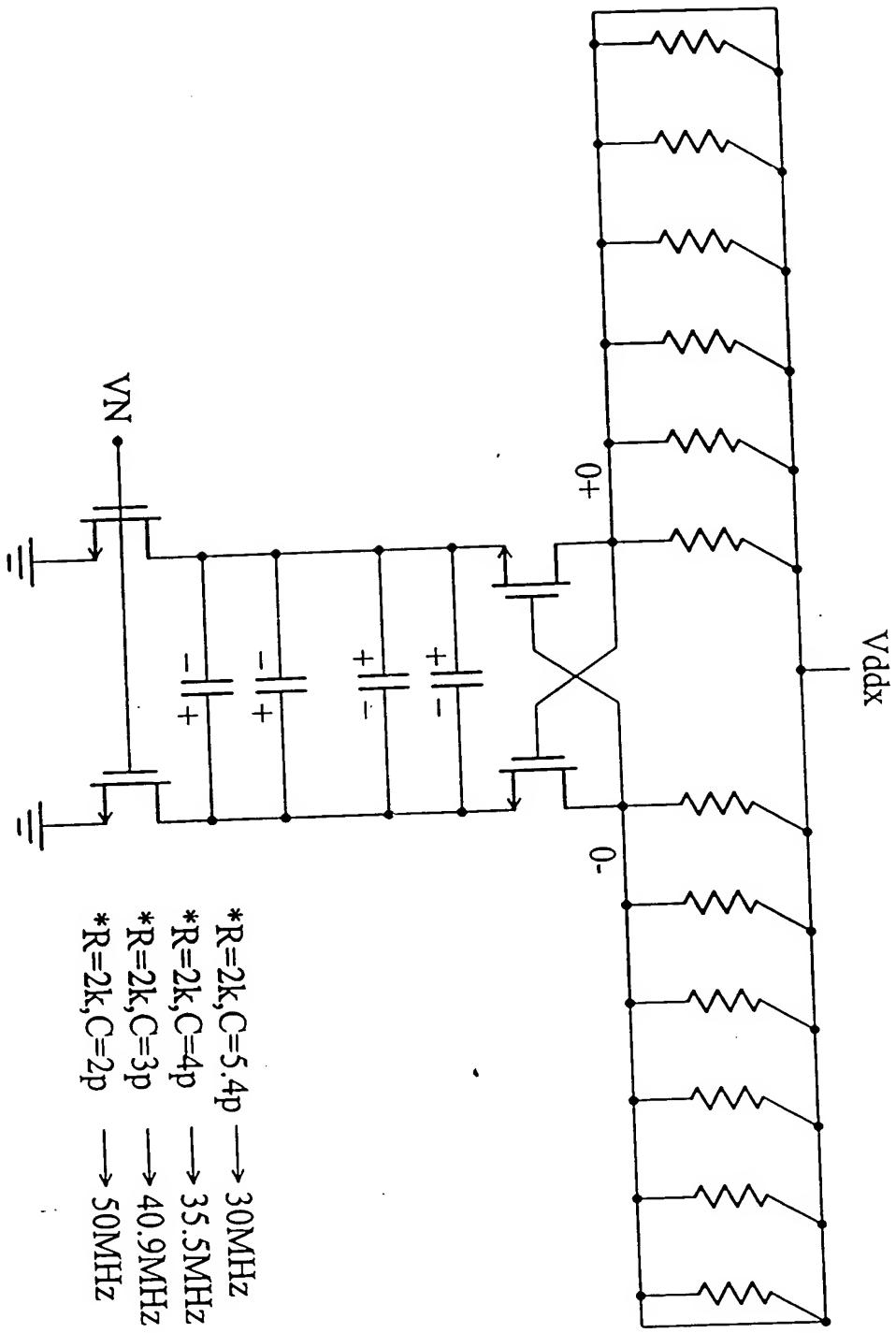
第3圖



第 4 圖



第5A圖



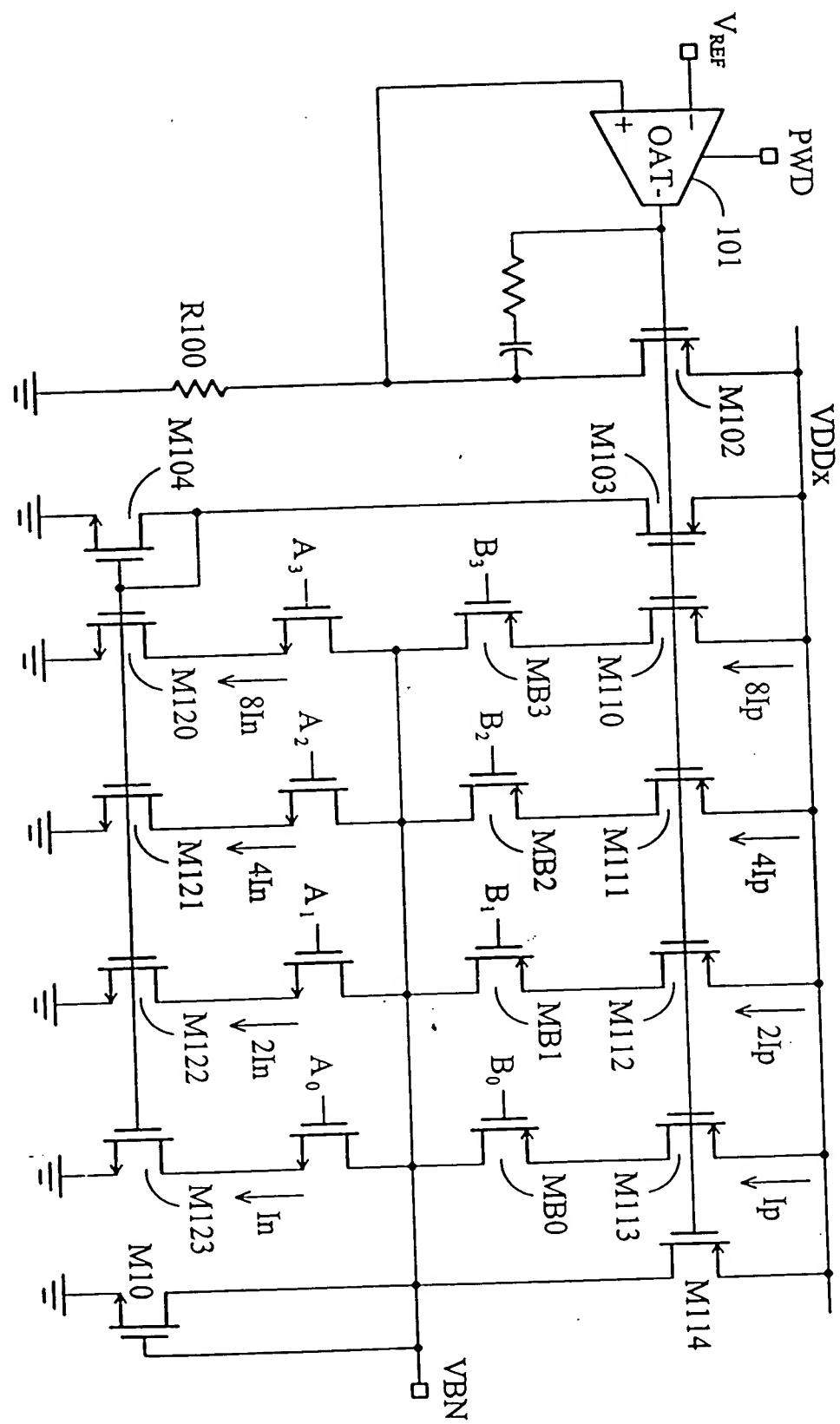
* $R=2k, C=5.4p \rightarrow 30MHz$

* $R=2k, C=4p \rightarrow 35.5MHz$

* $R=2k, C=3p \rightarrow 40.9MHz$

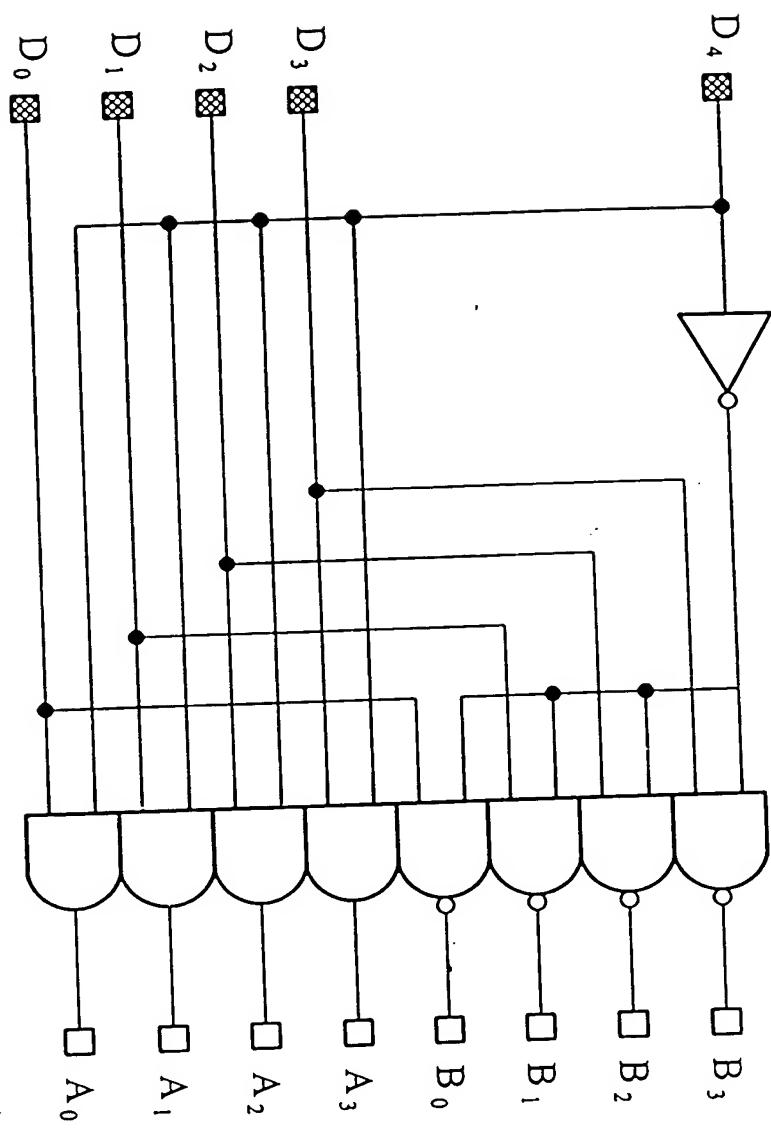
* $R=2k, C=2p \rightarrow 50MHz$

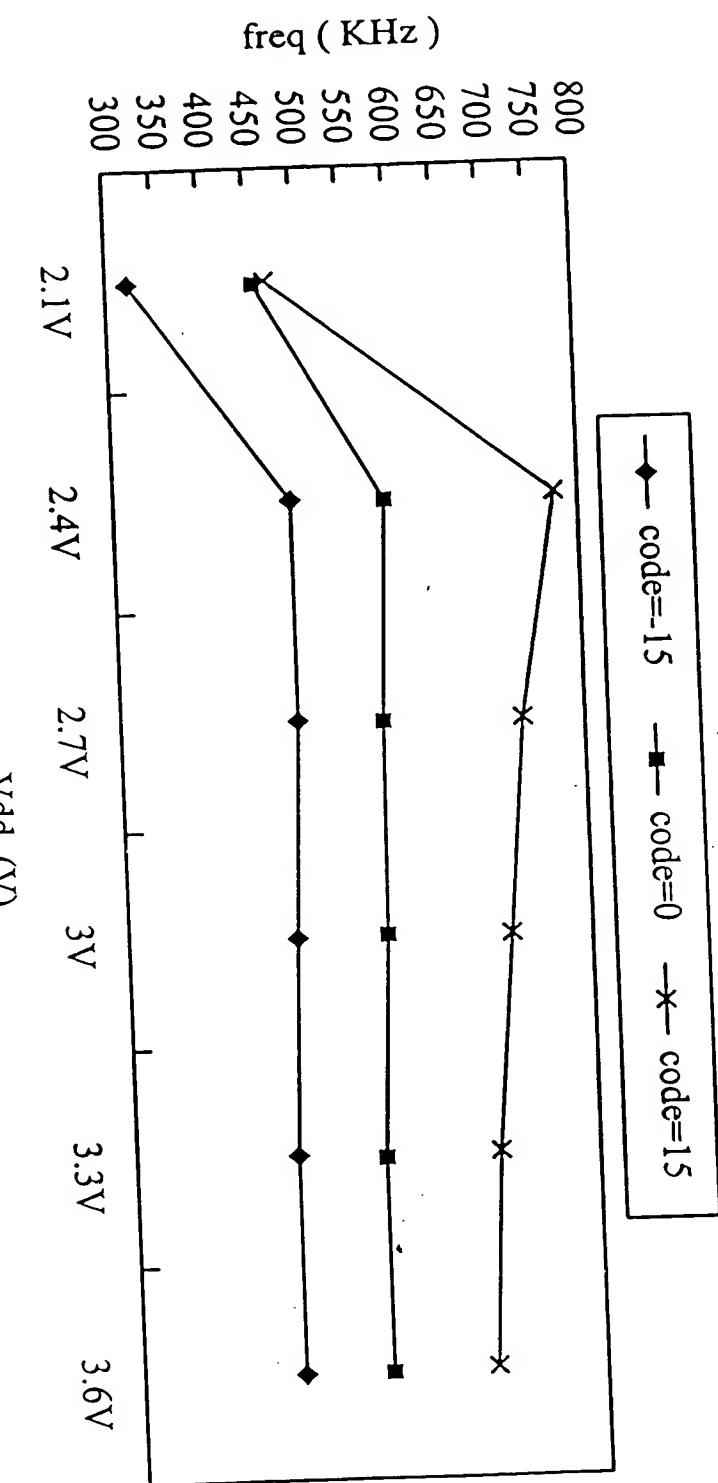
第5B圖



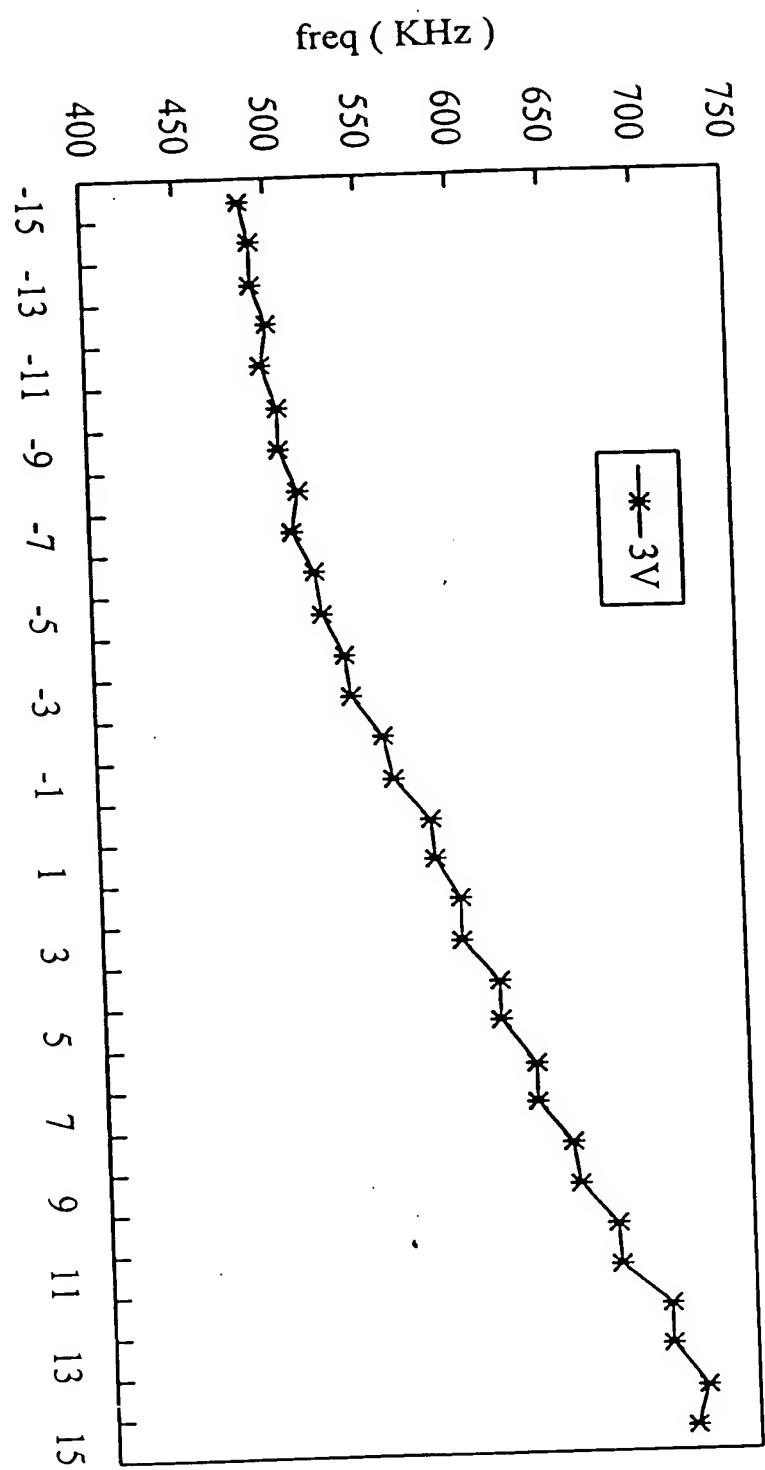
第 6 圖

第 7 圖

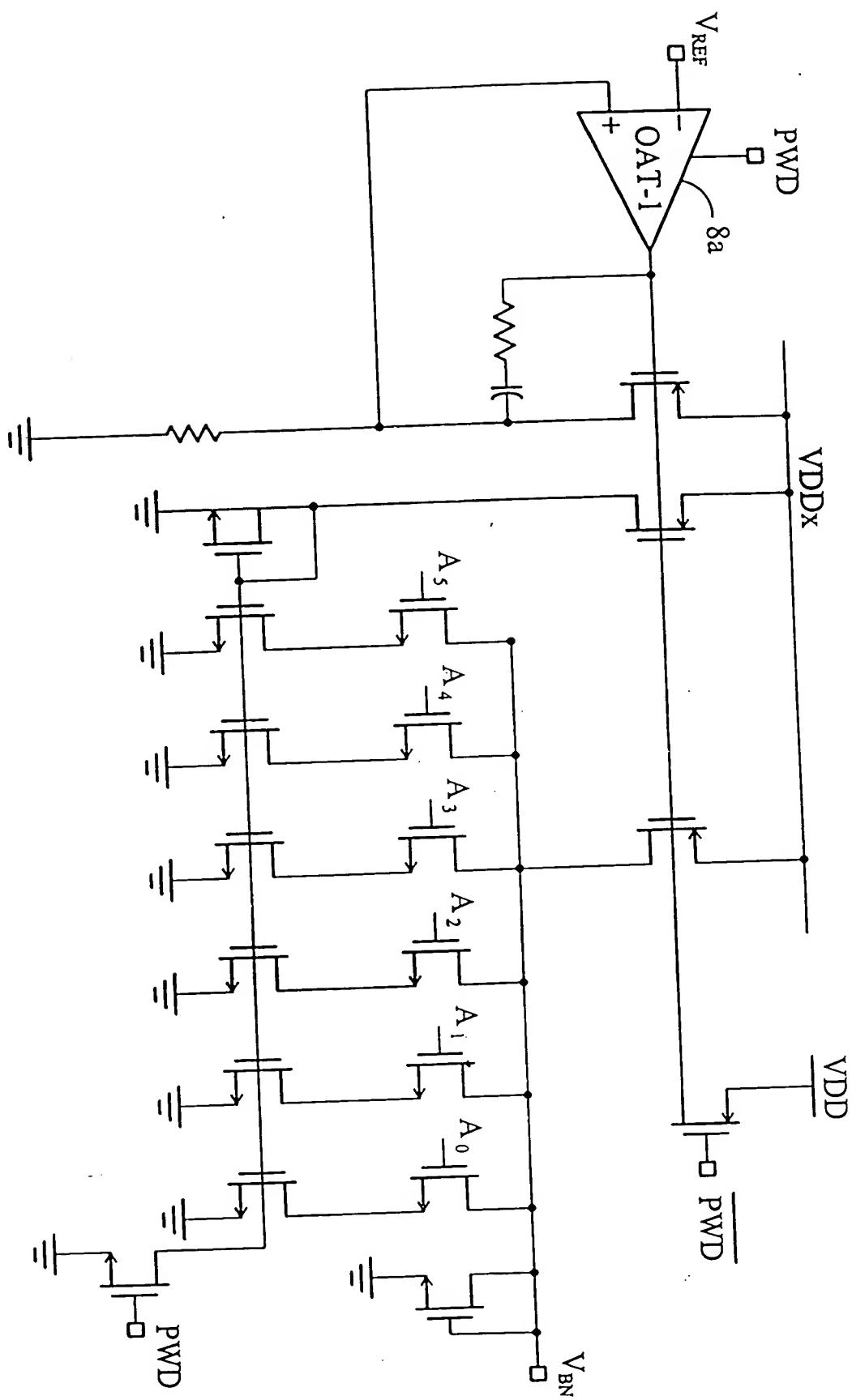




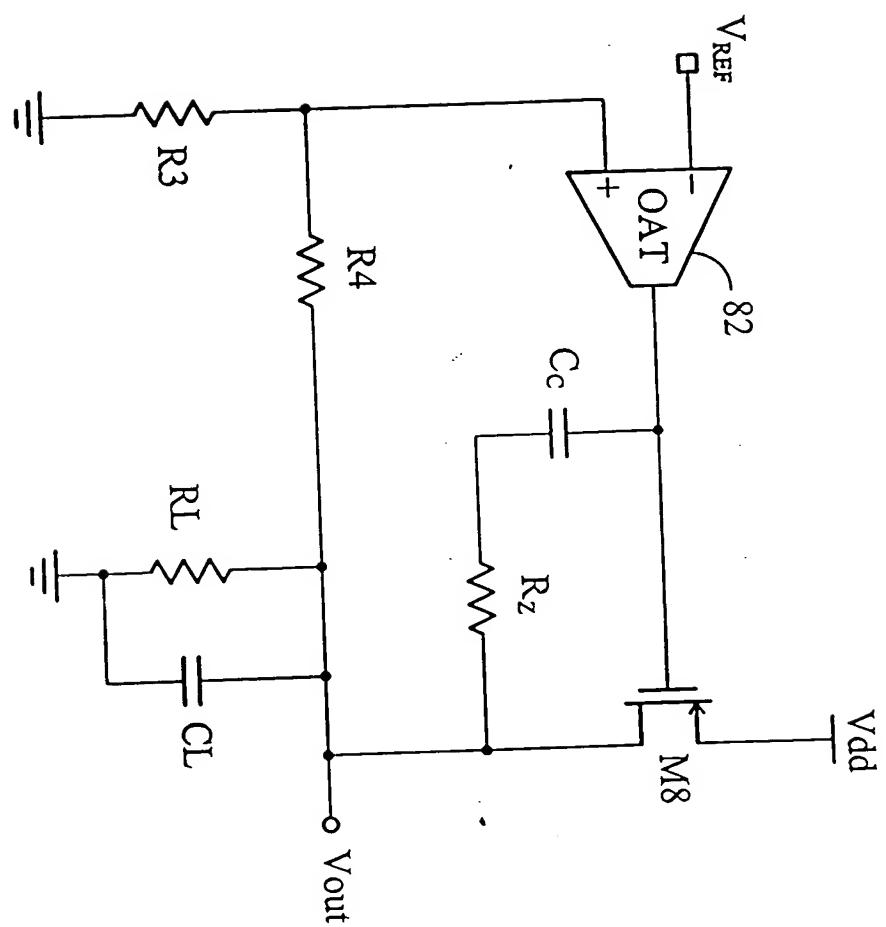
第 8 圖



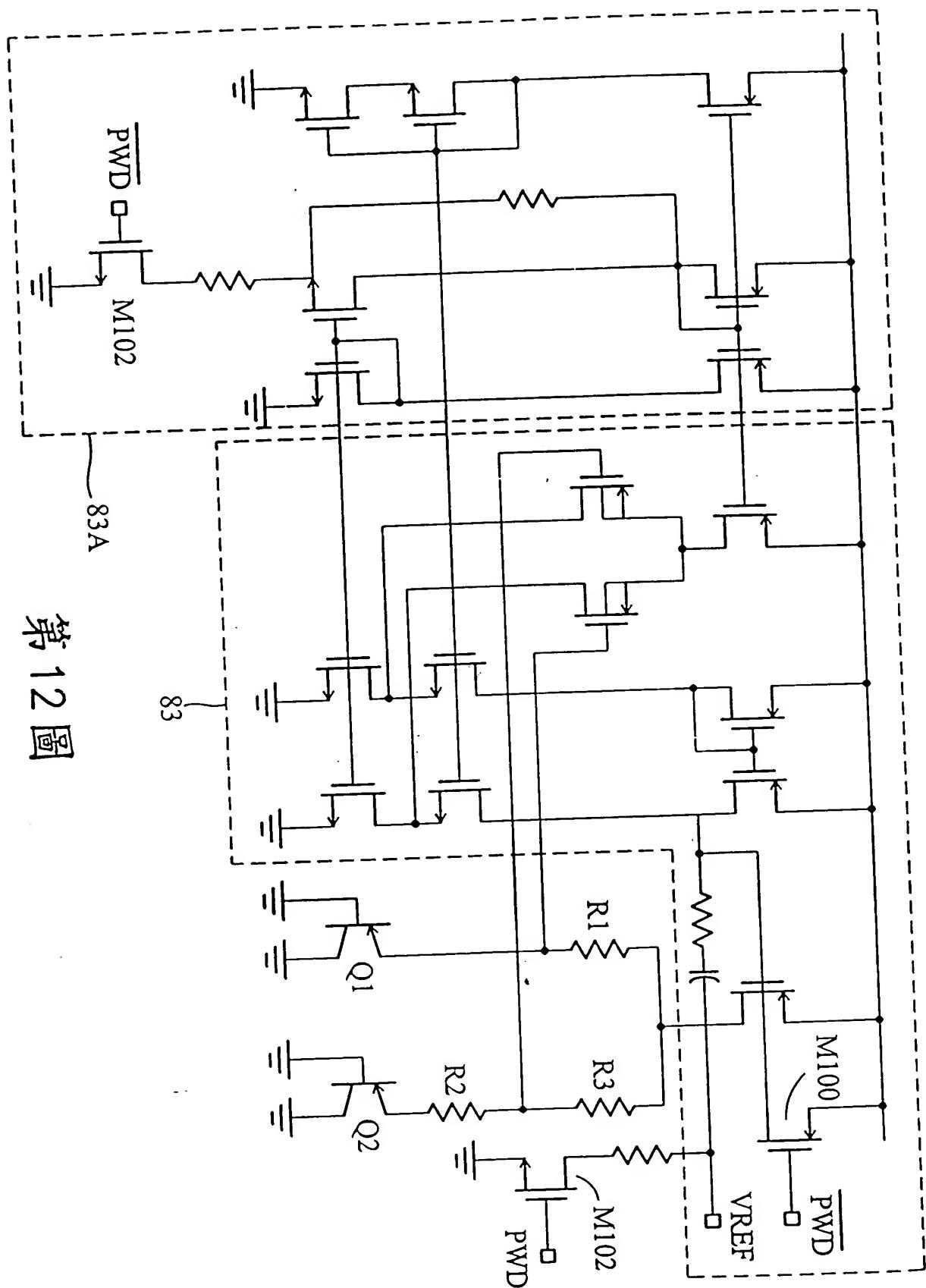
第 9 圖



第 10 圖



第 11 圖

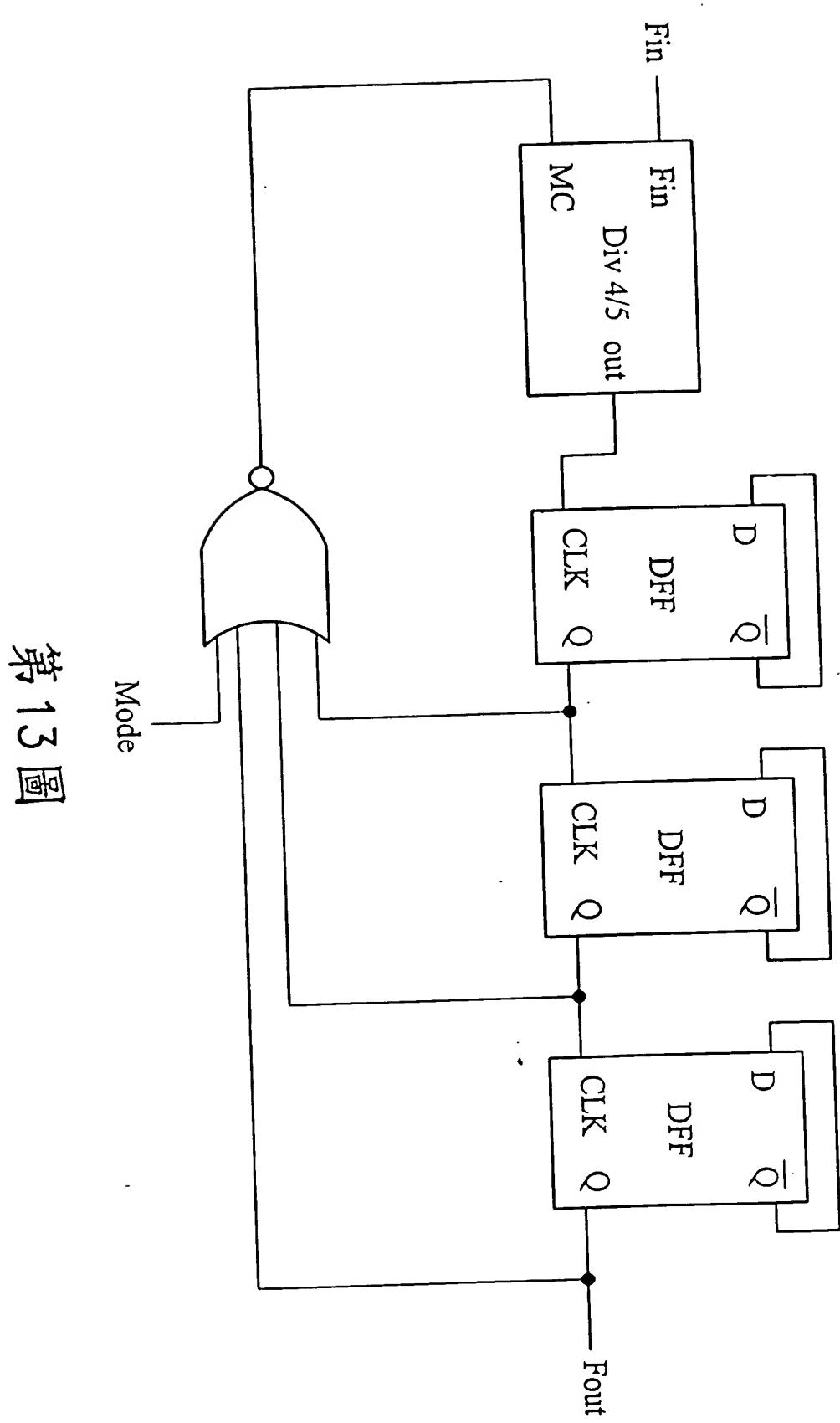


第 12 圖

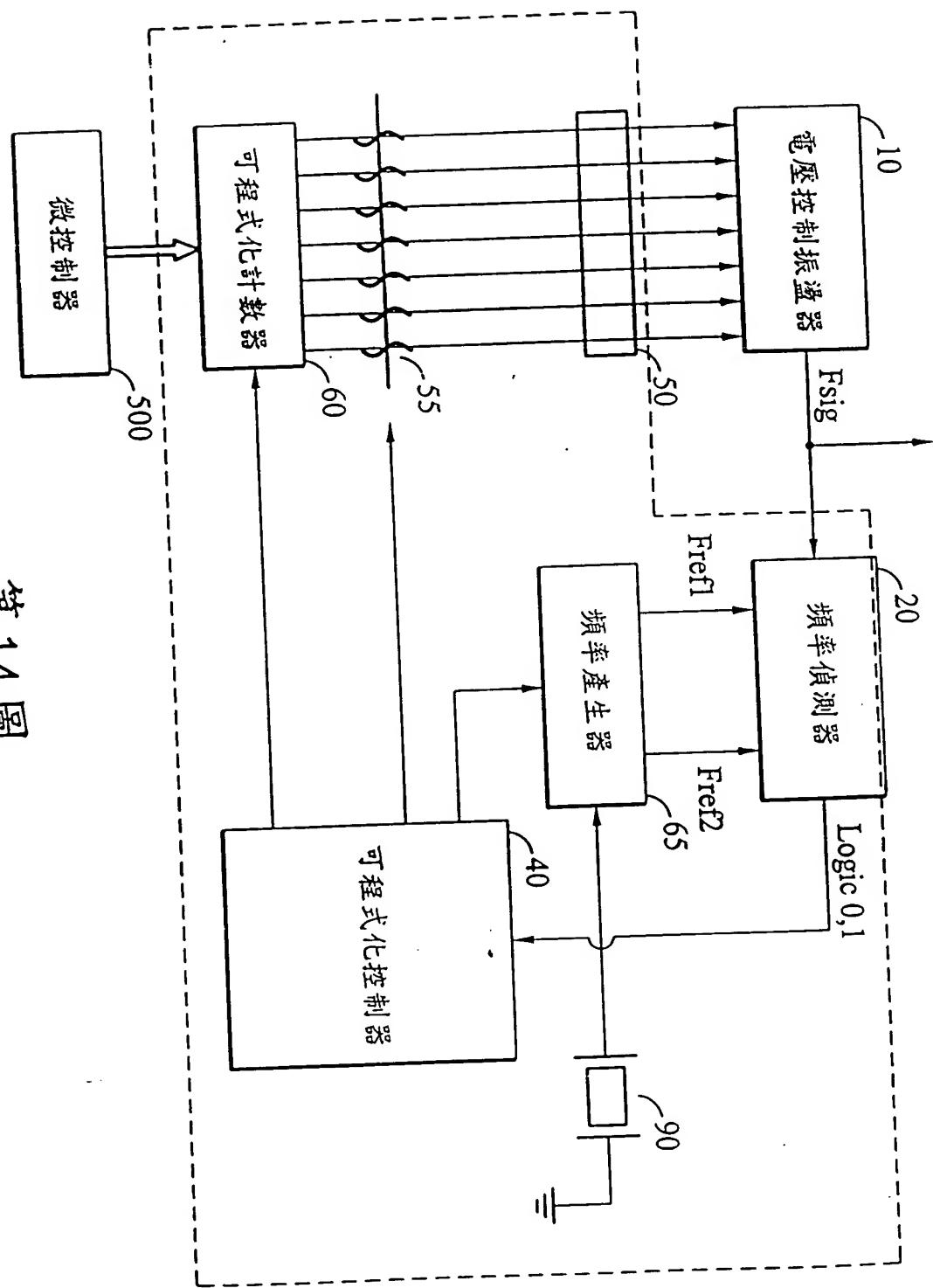
83

M102

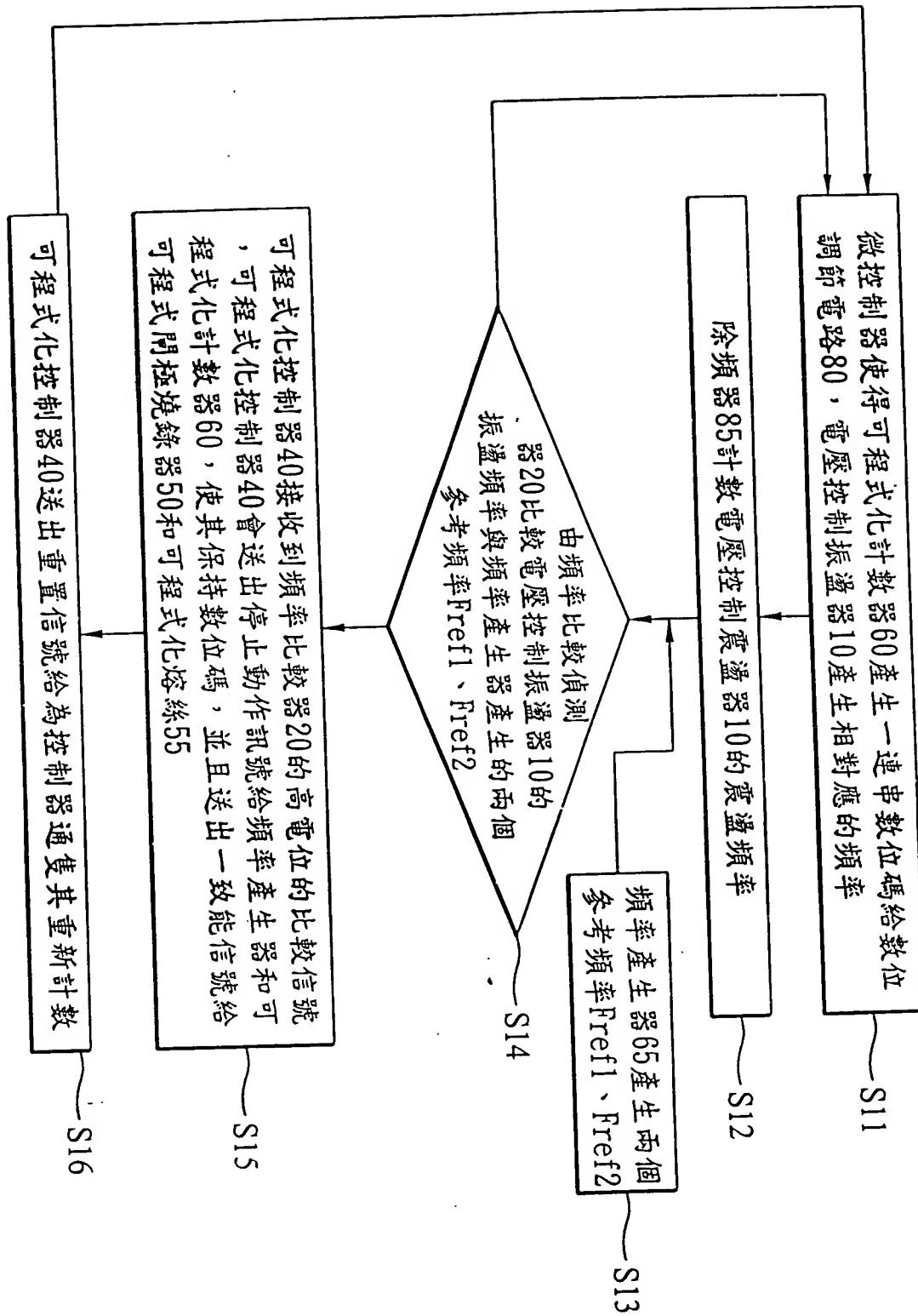
83A



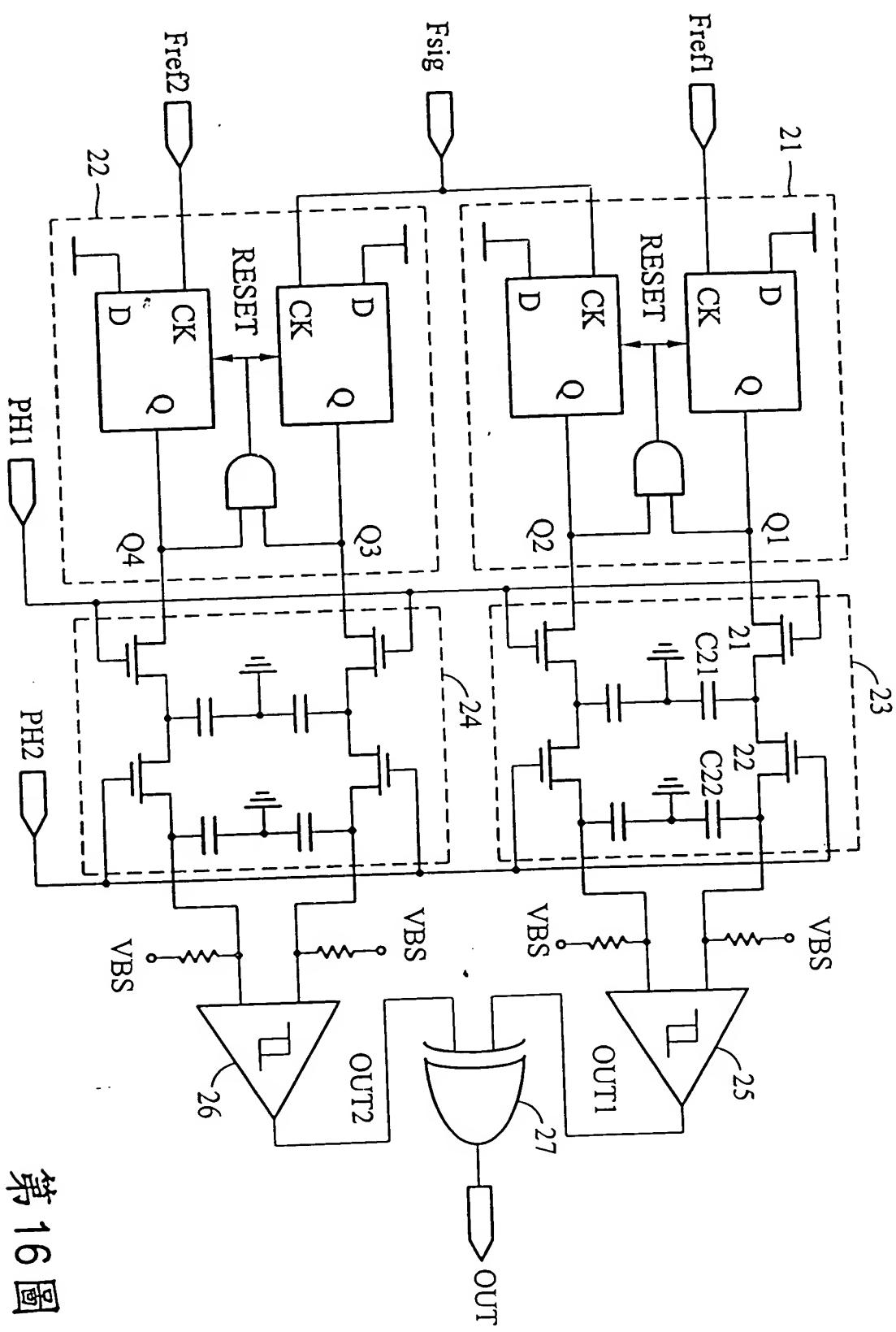
第 13 圖



第 14 圖

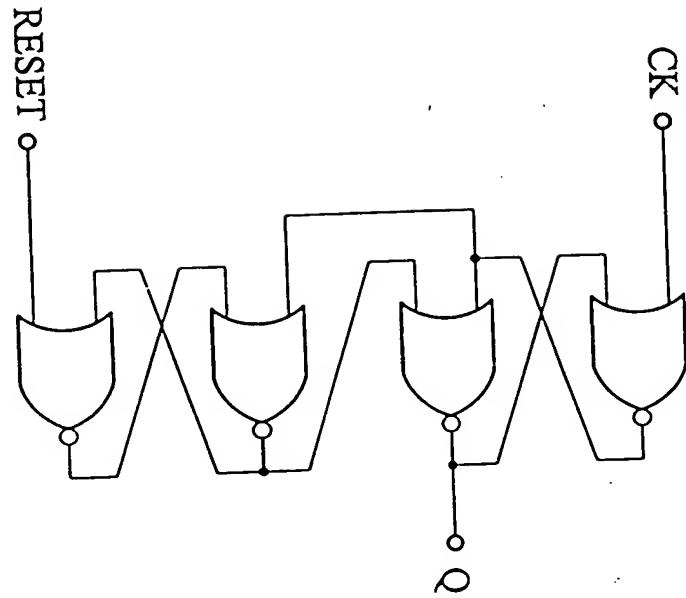


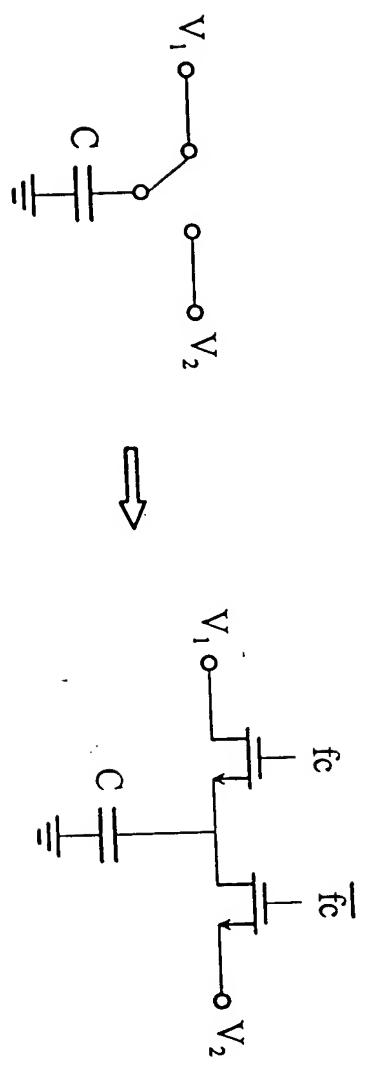
第15圖



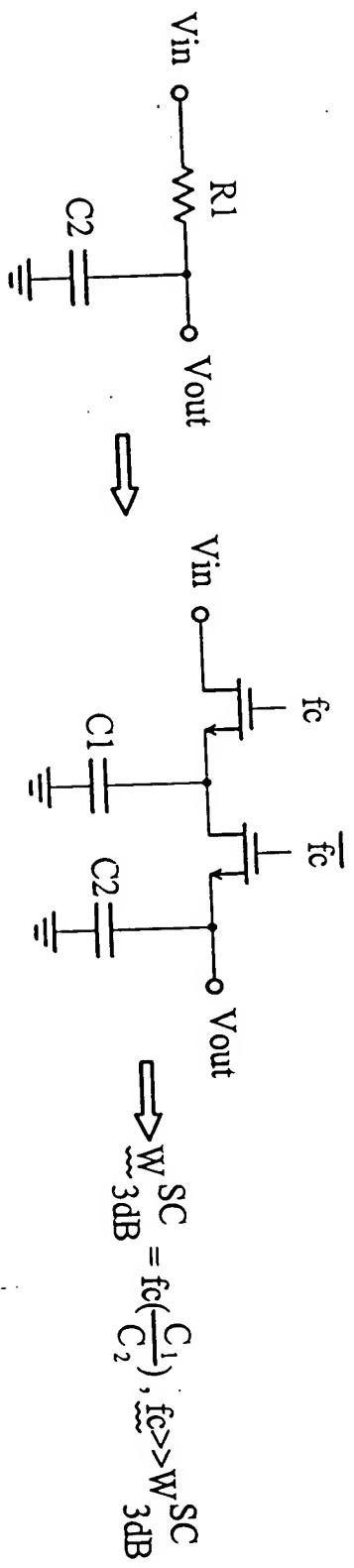
第 16 圖

第 17 圖

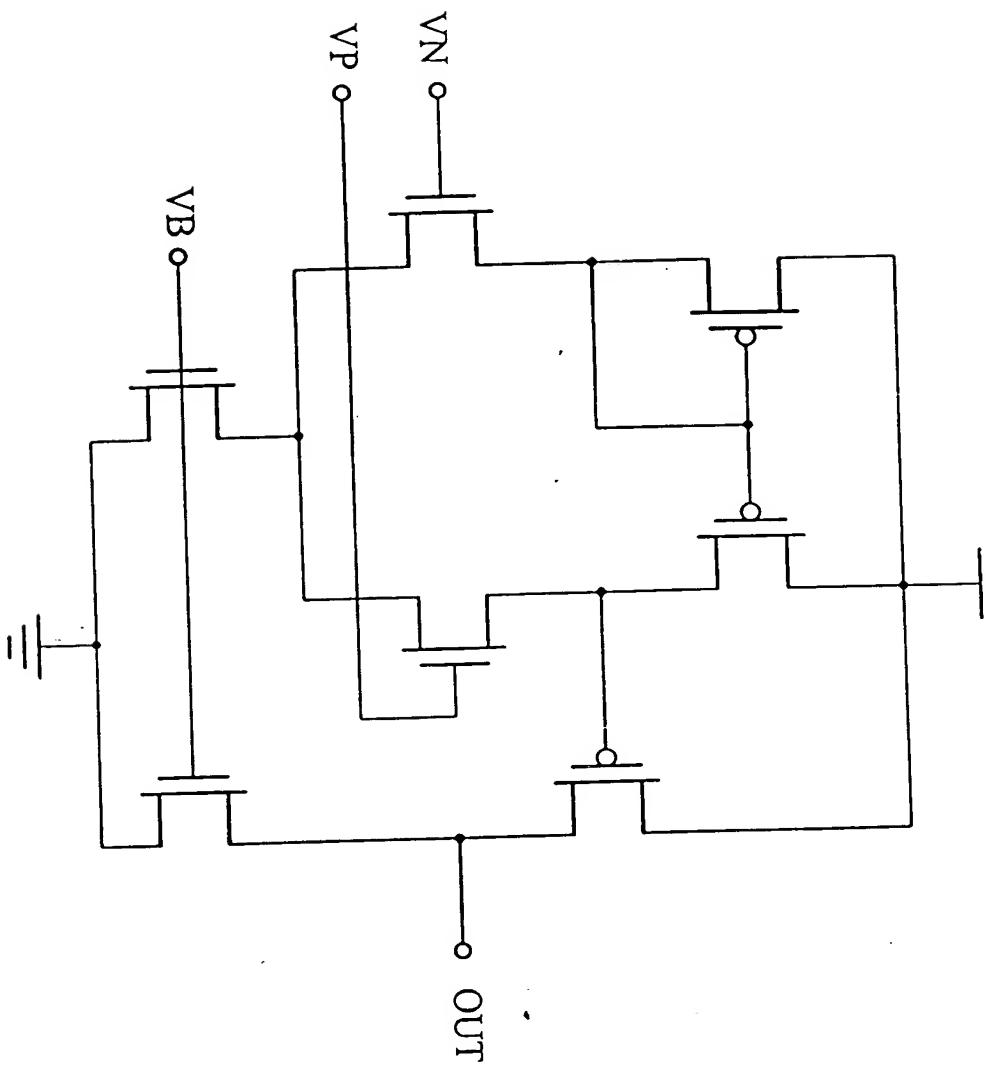




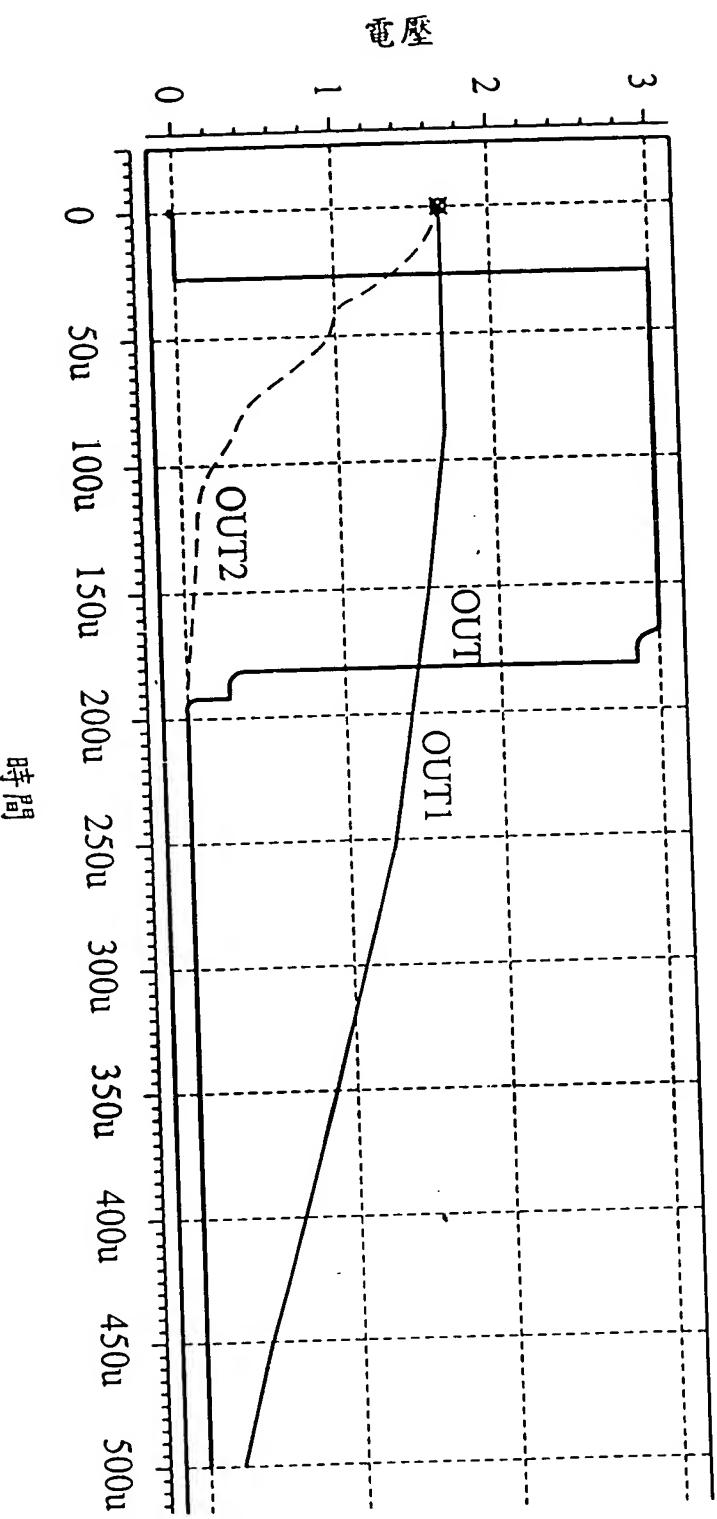
第18A圖



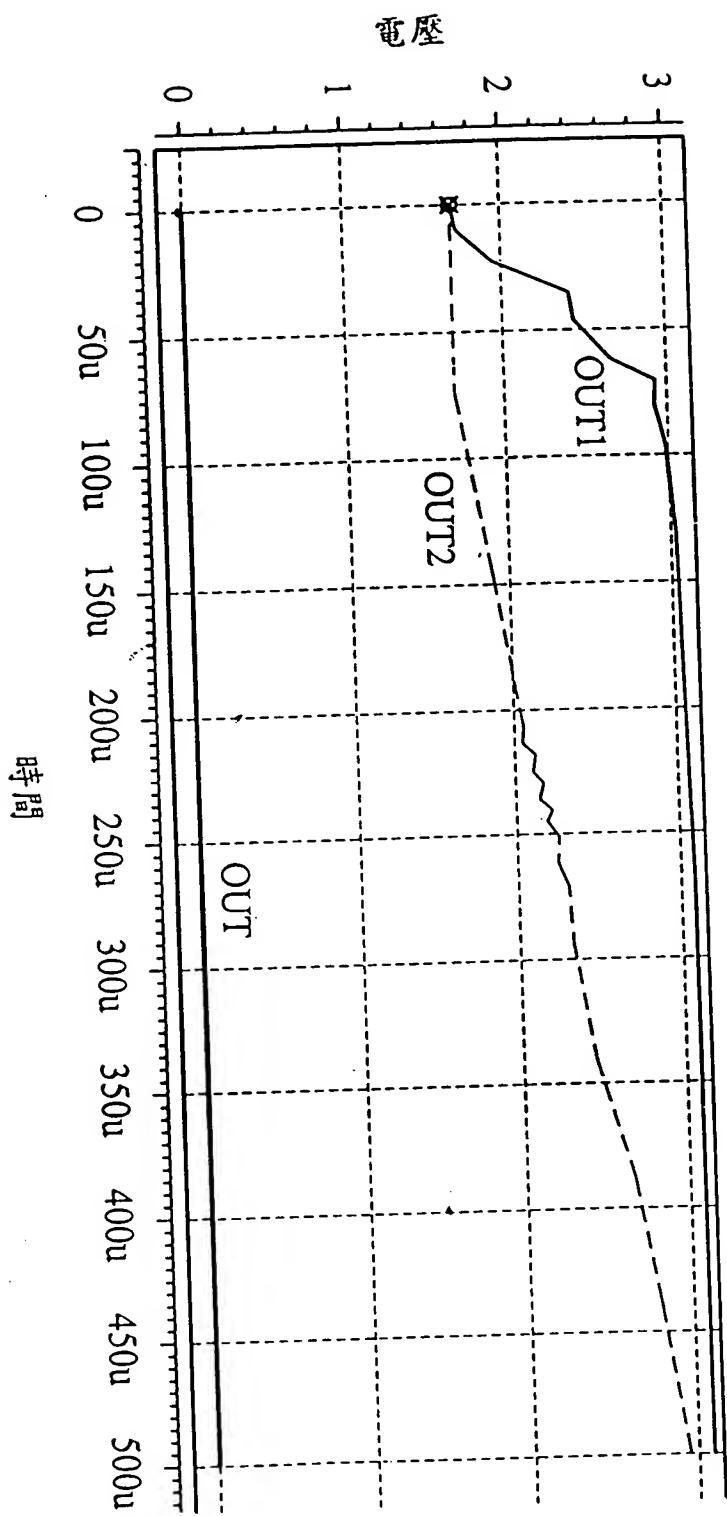
第18B圖



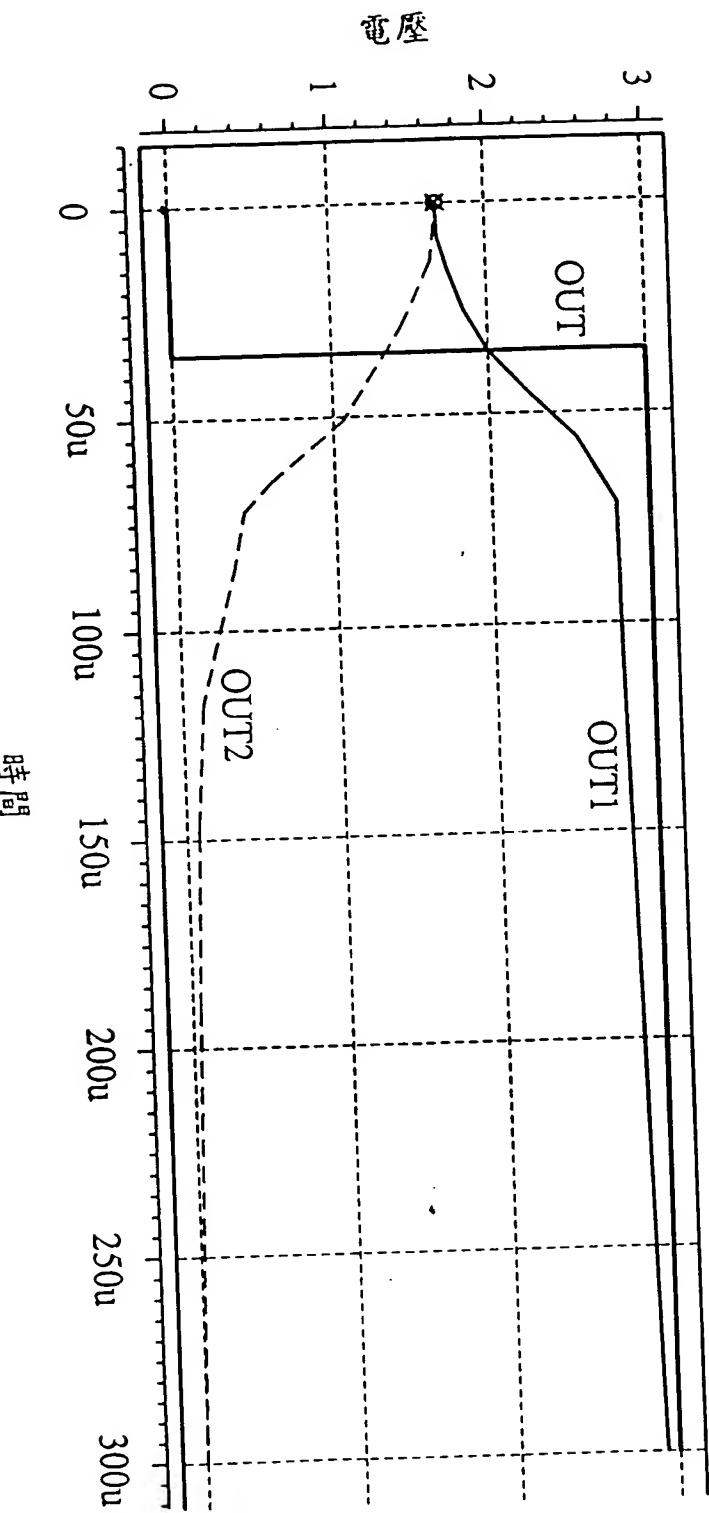
第 19 圖



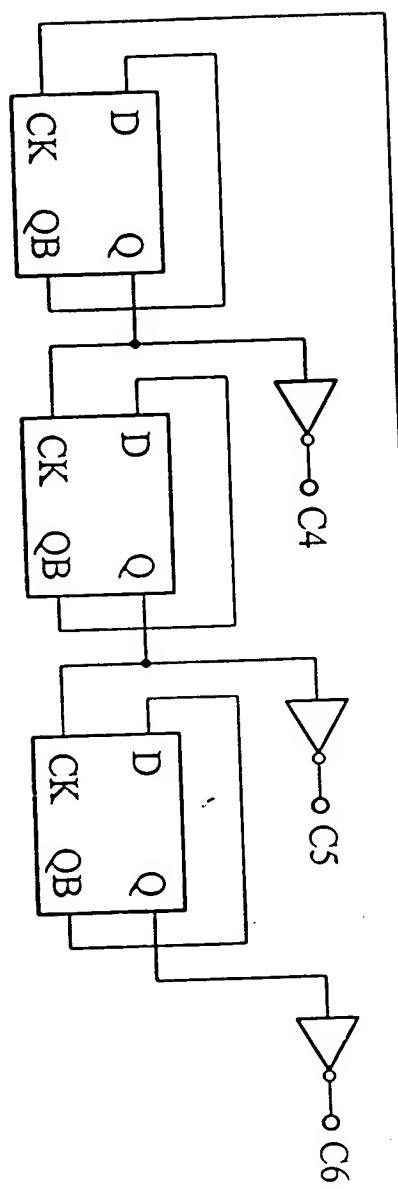
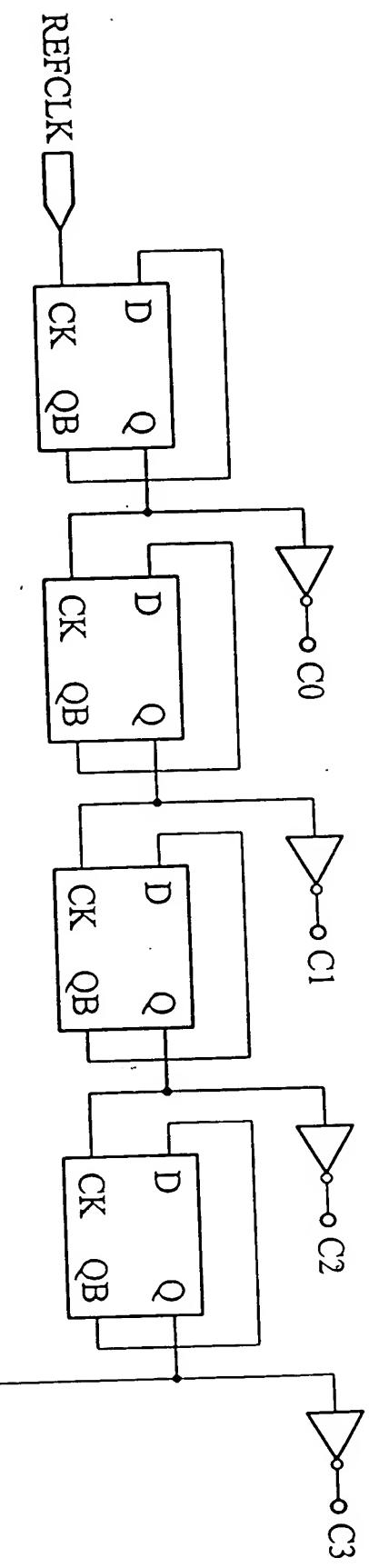
第20A圖



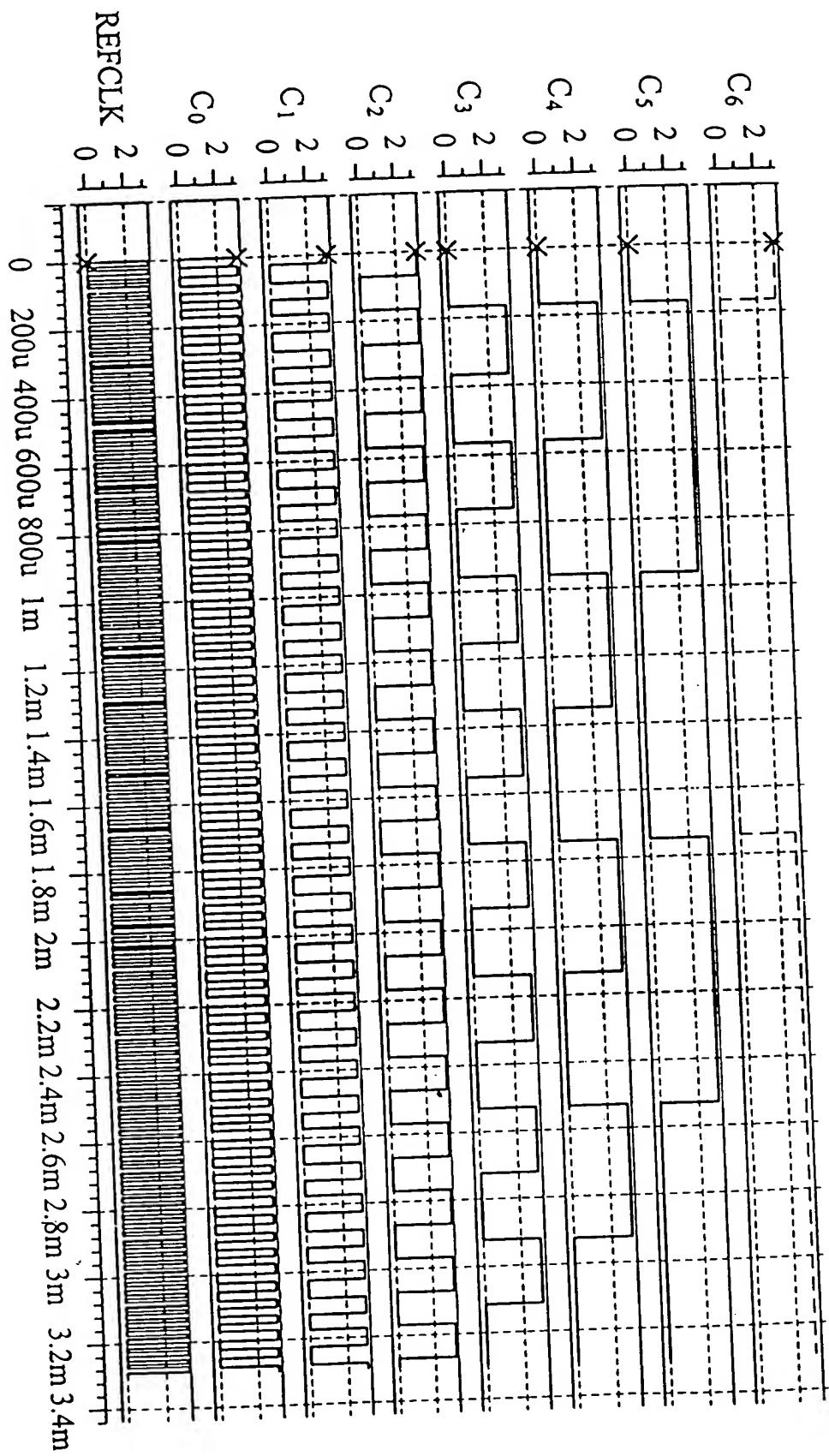
第20B圖



第20C圖

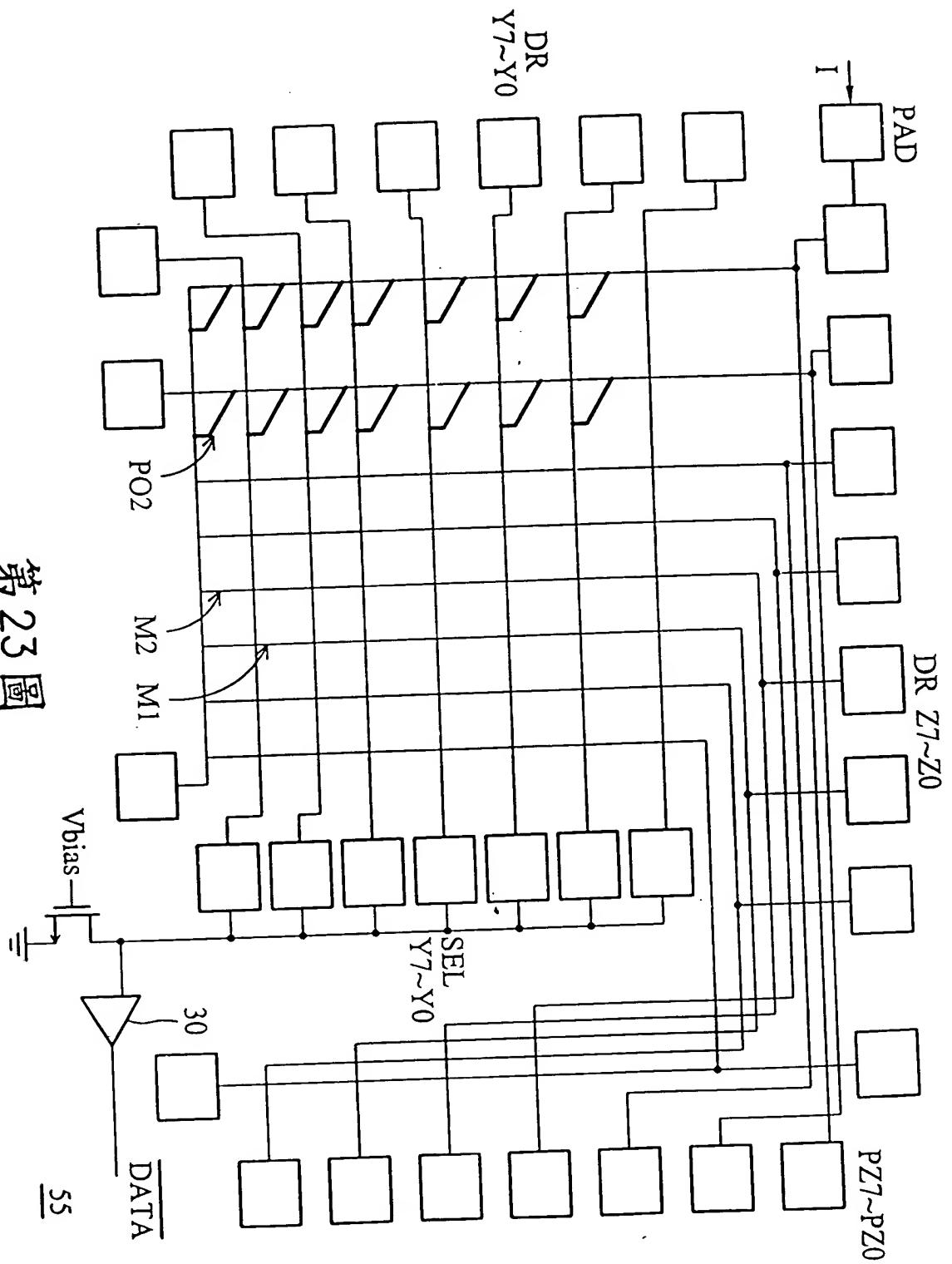


第 21 圖

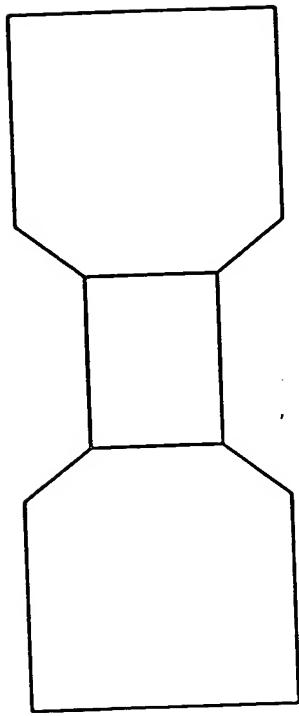


時間

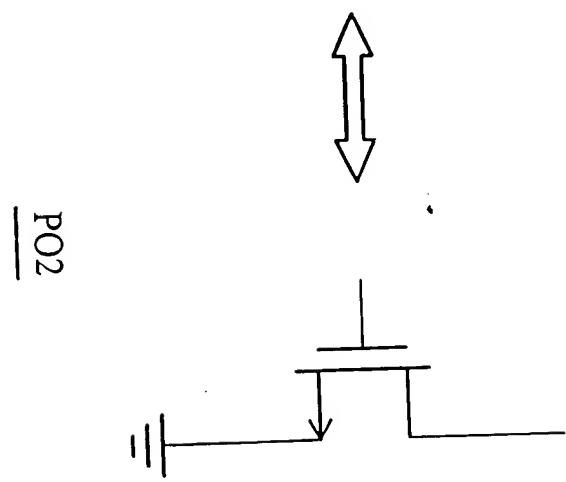
第22圖



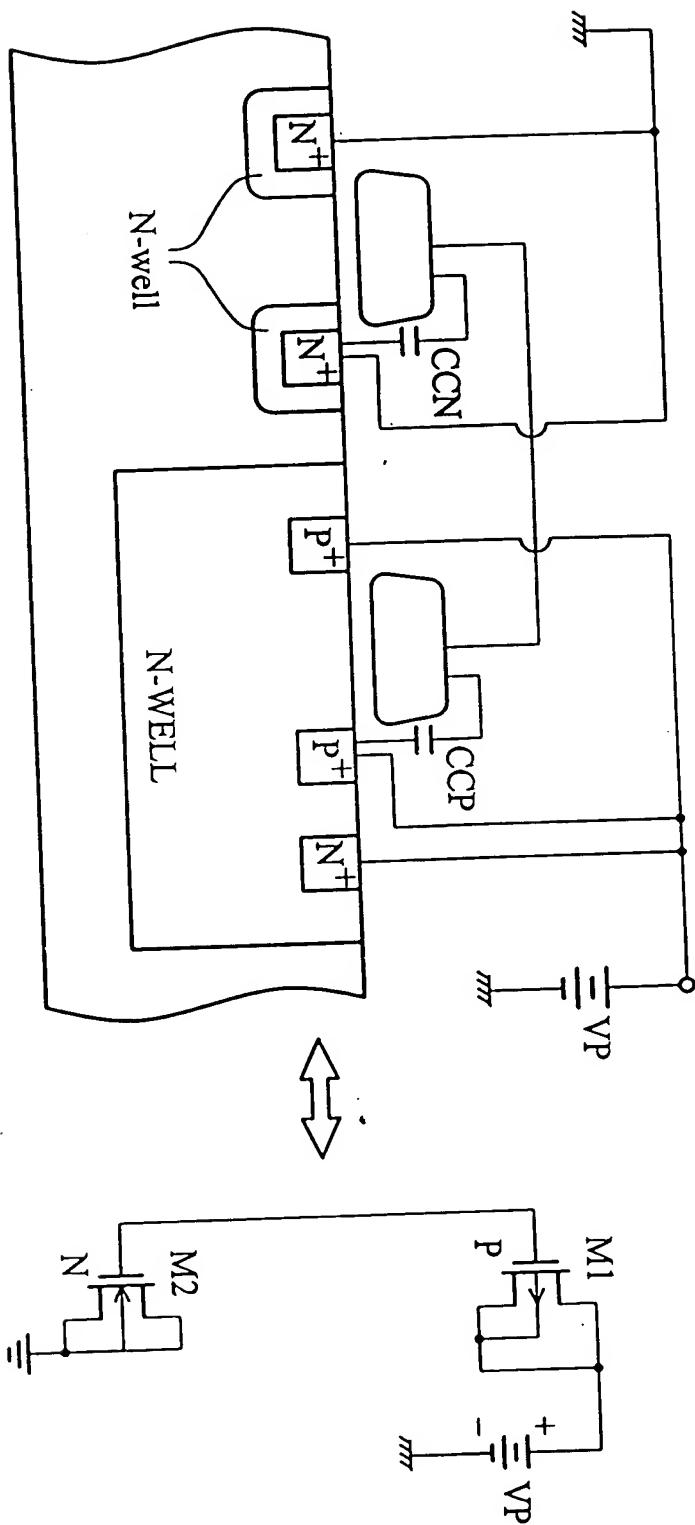
第23圖



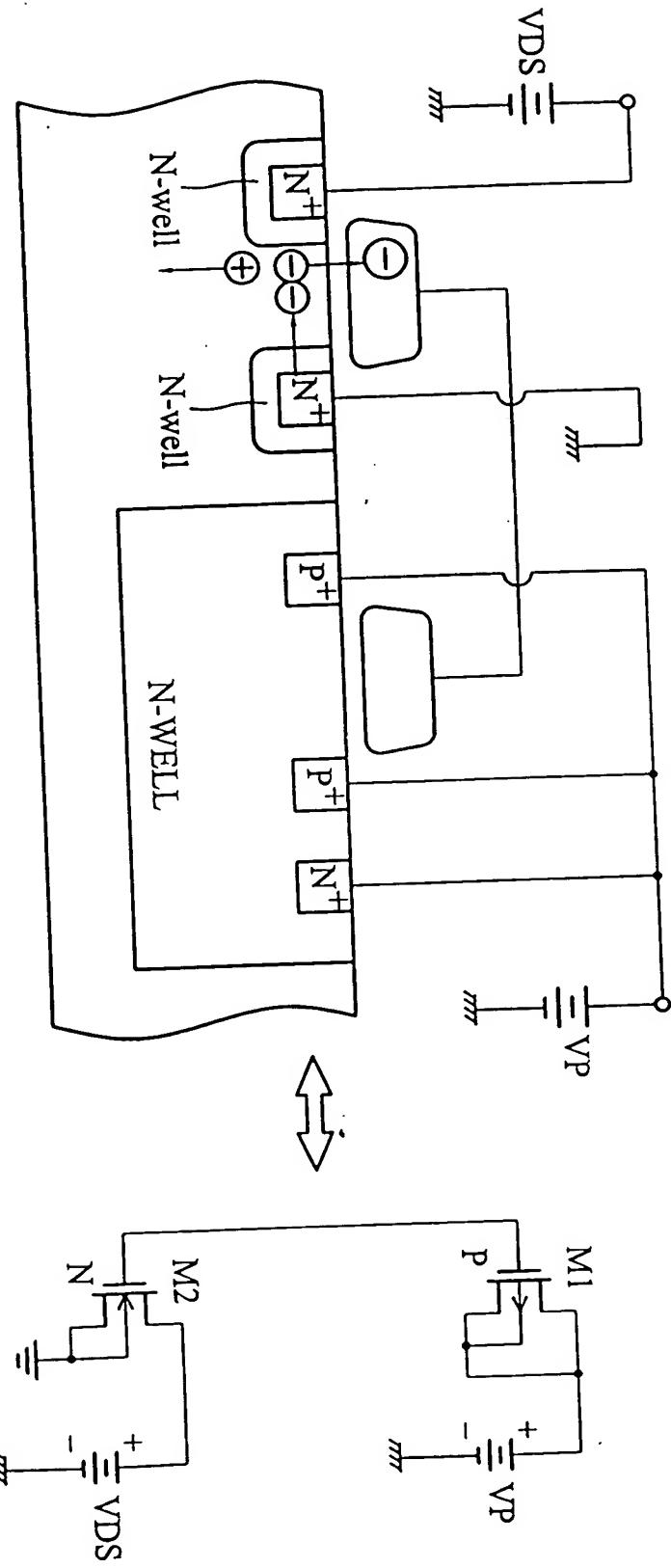
第24圖

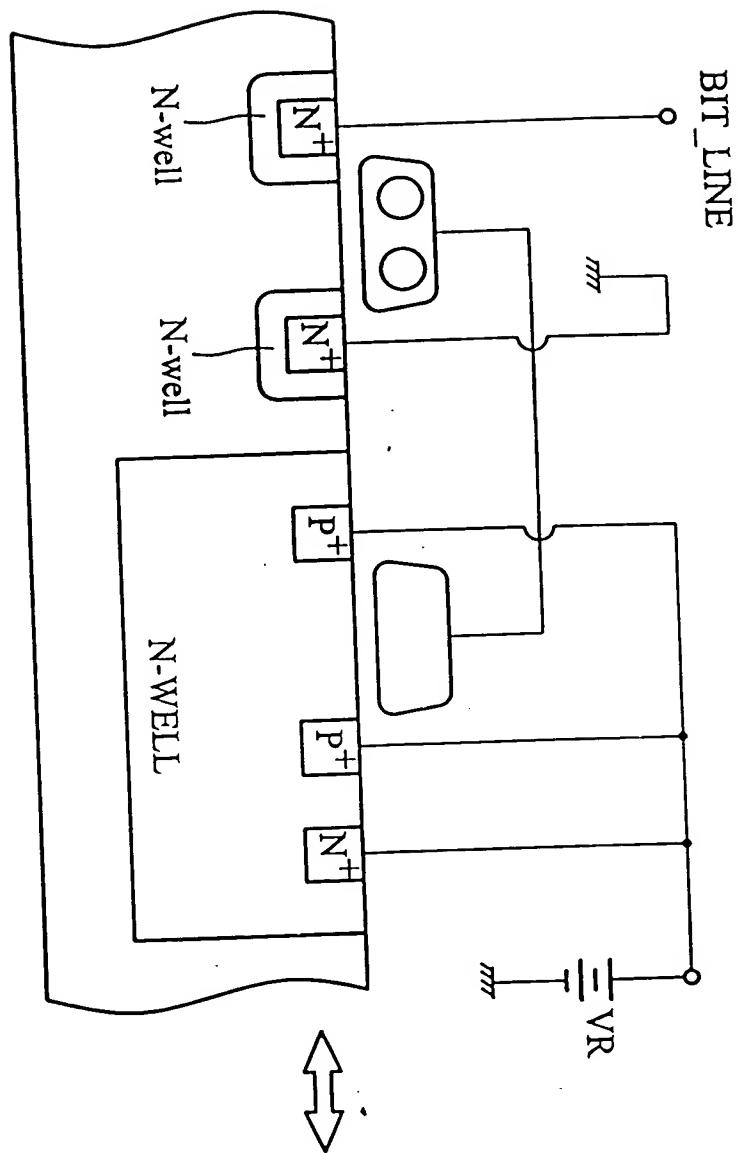


第25圖

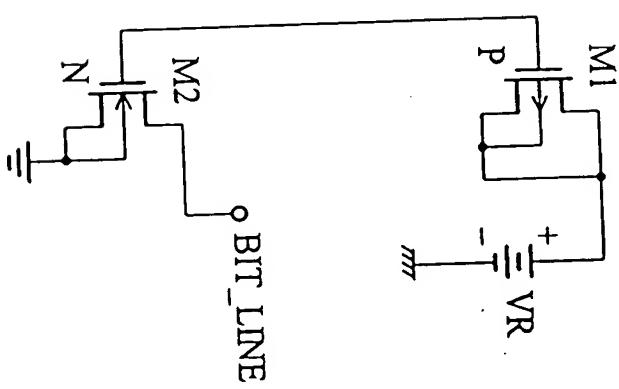


第 26 圖

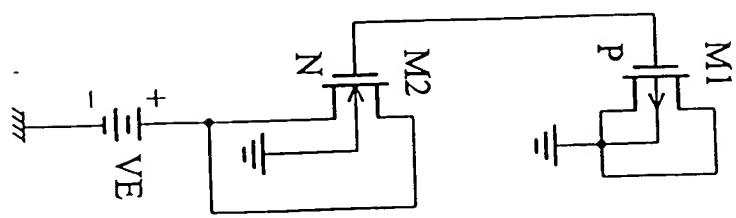
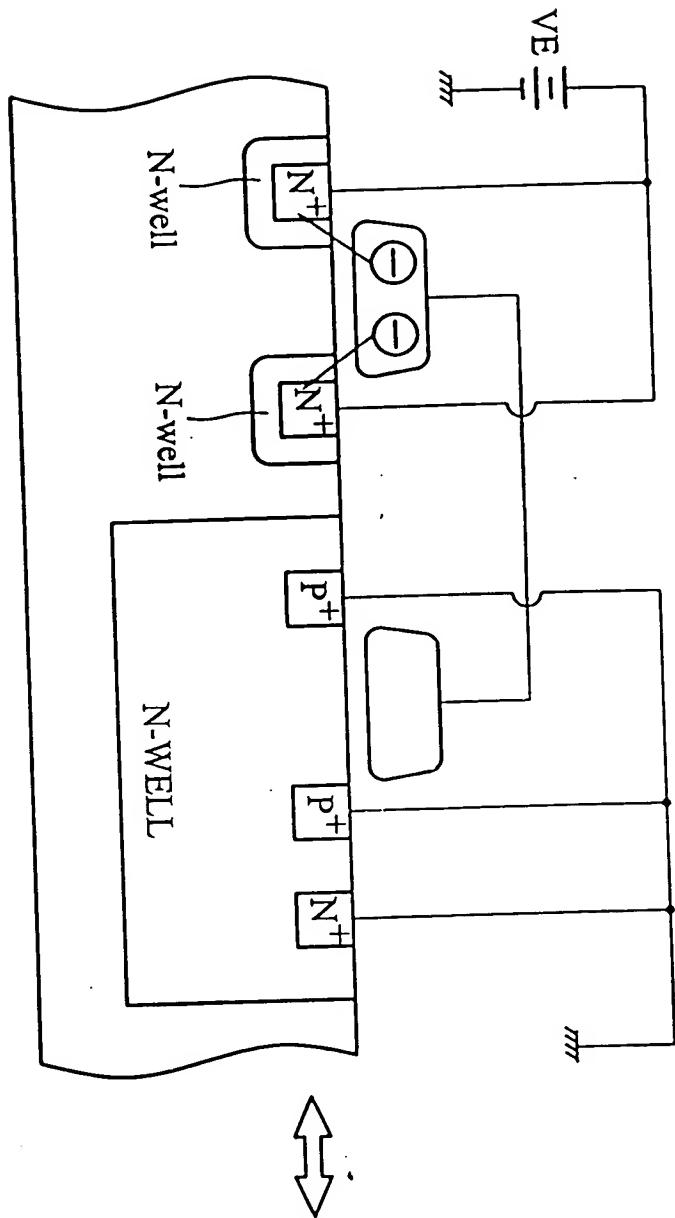


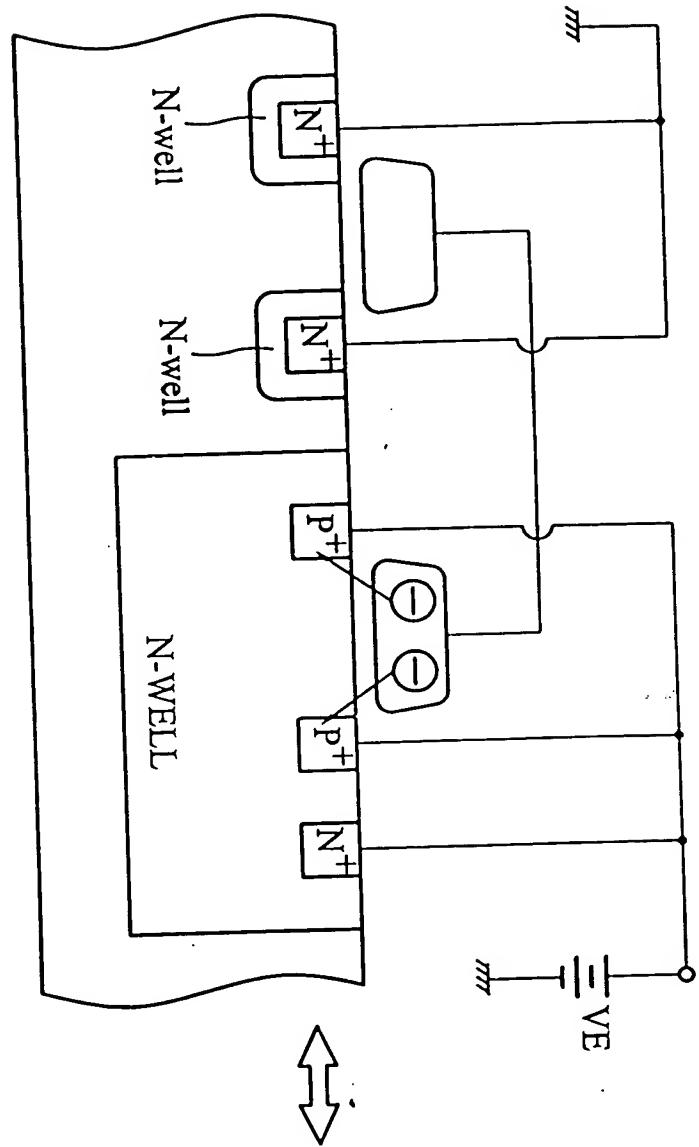


第 27 圖

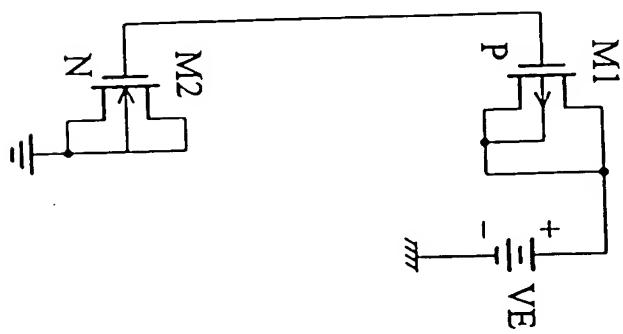


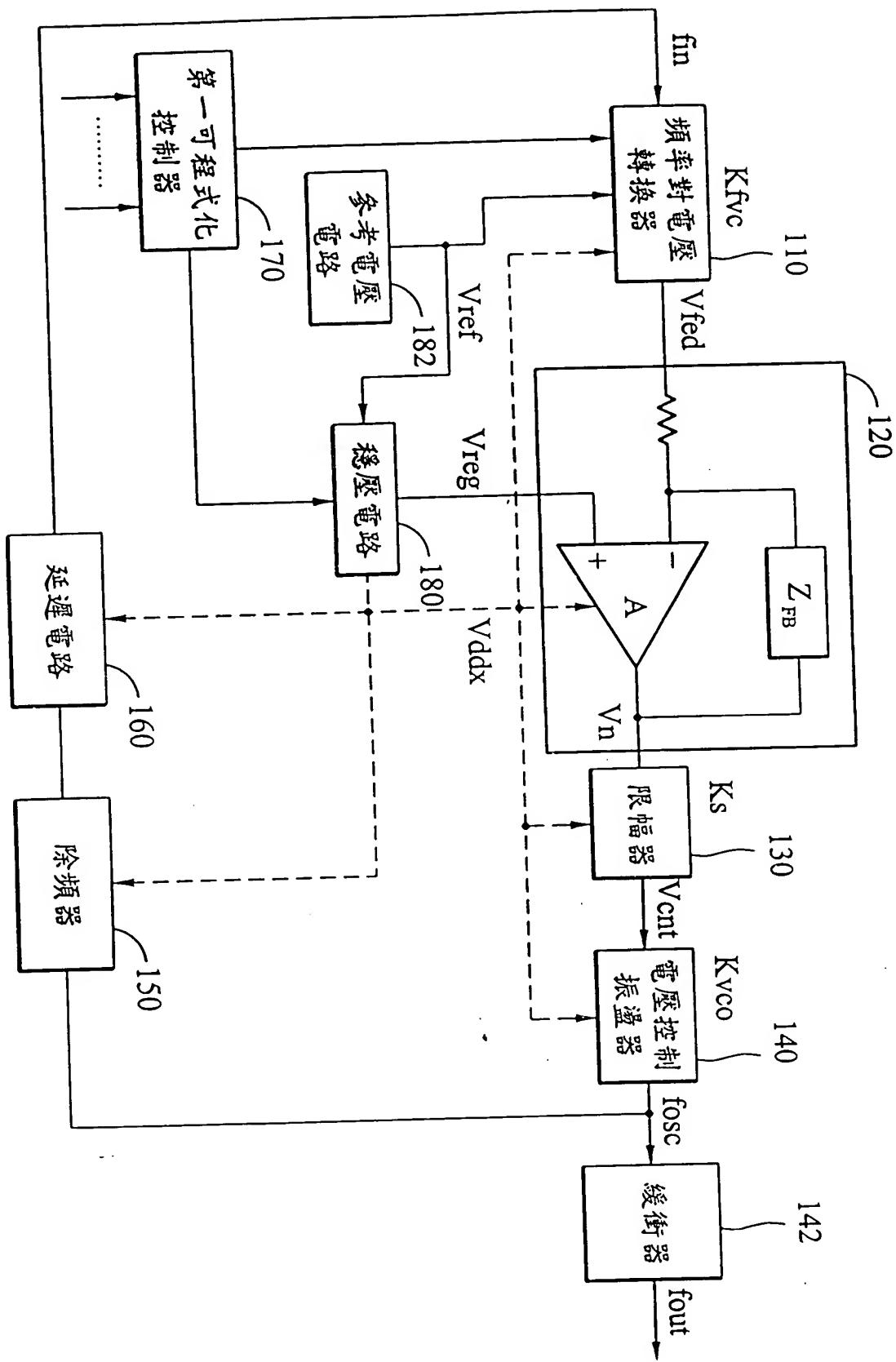
第28圖



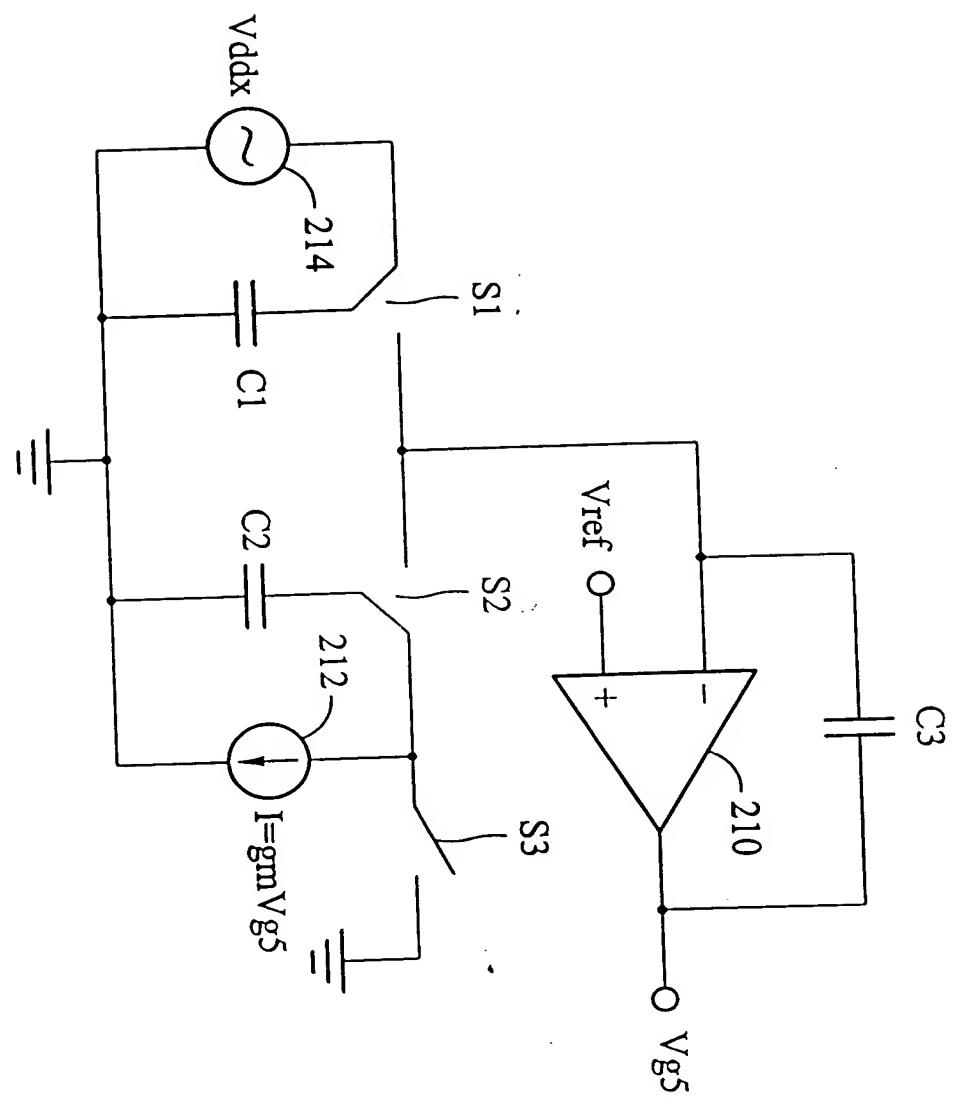


第 29 圖

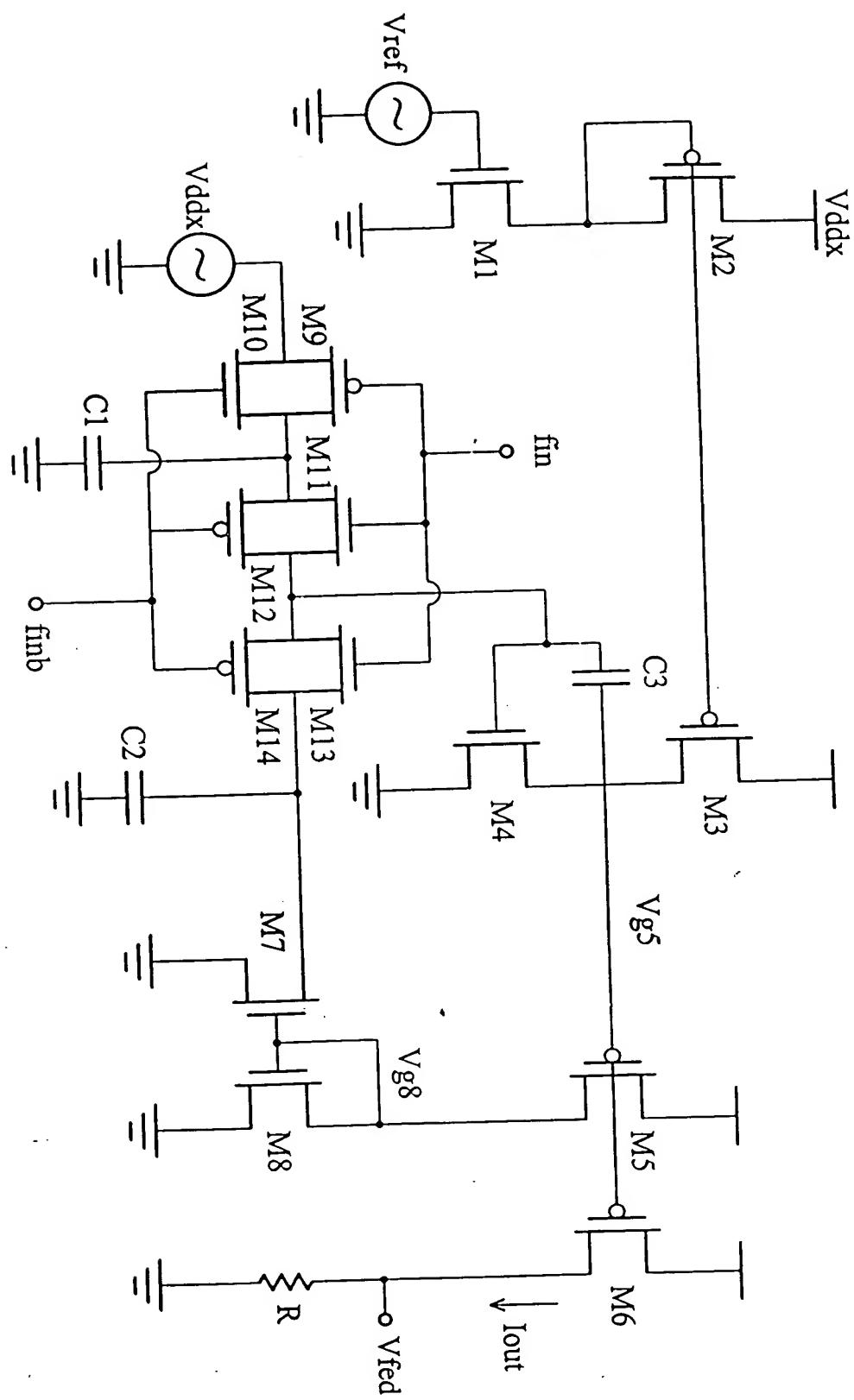




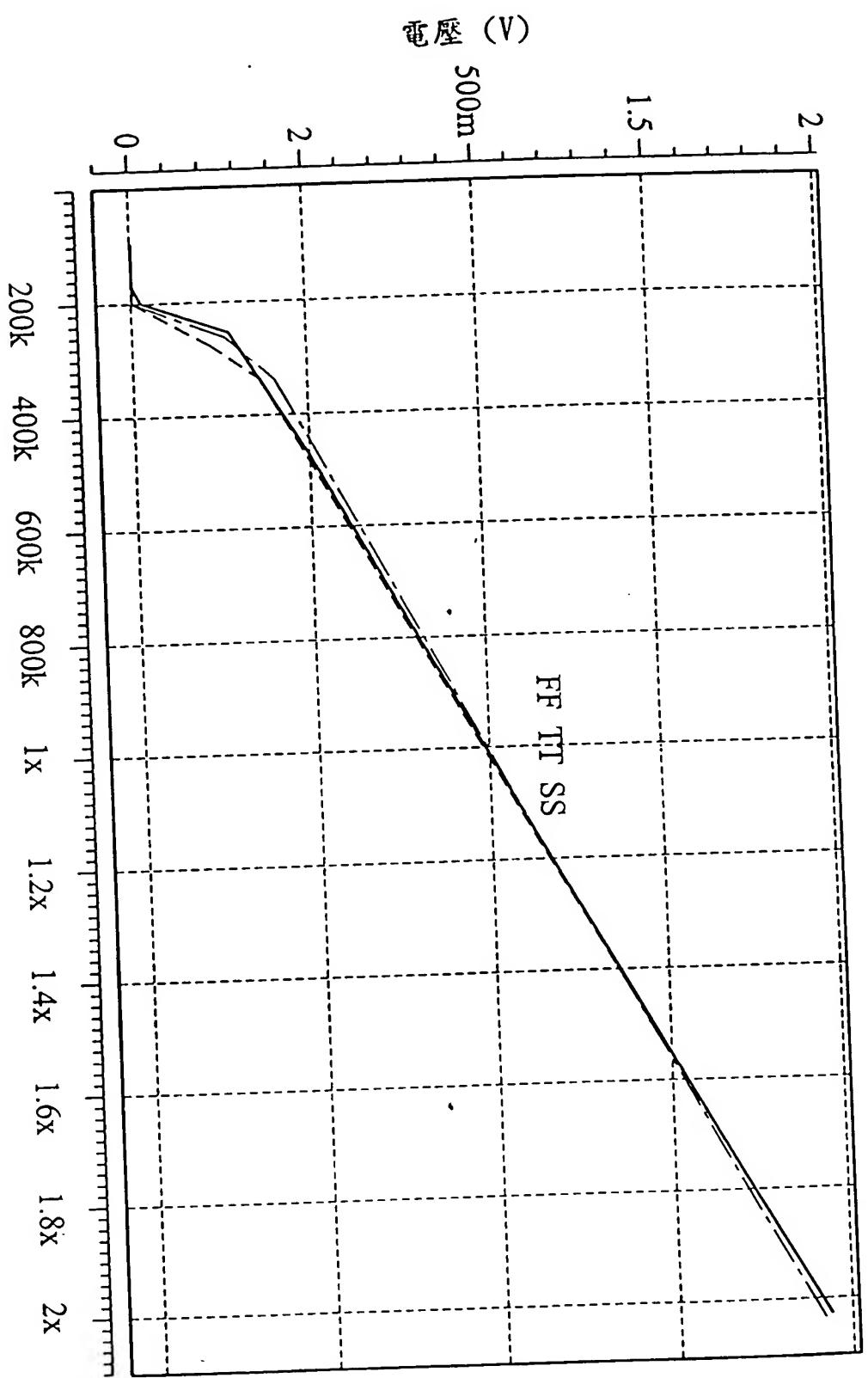
第30圖



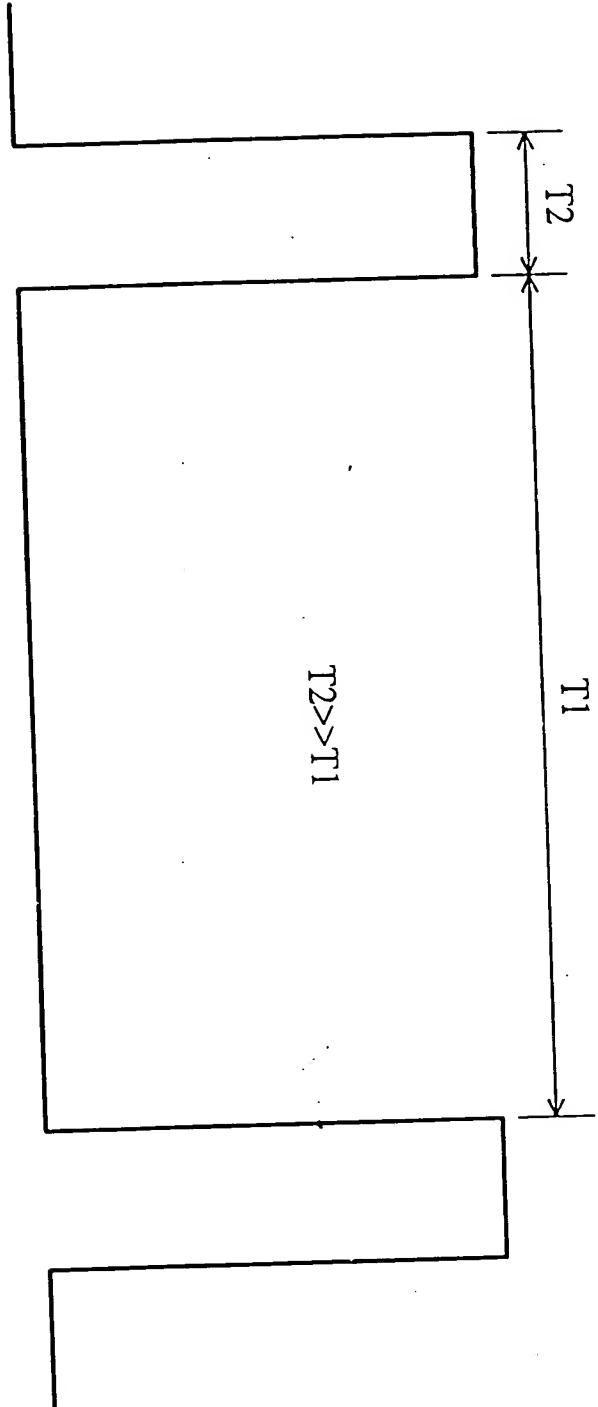
第31A圖



第31B圖

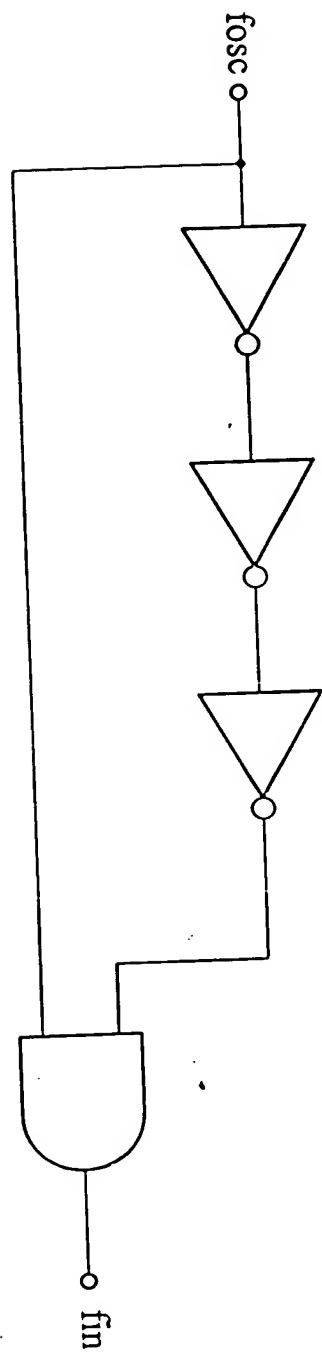


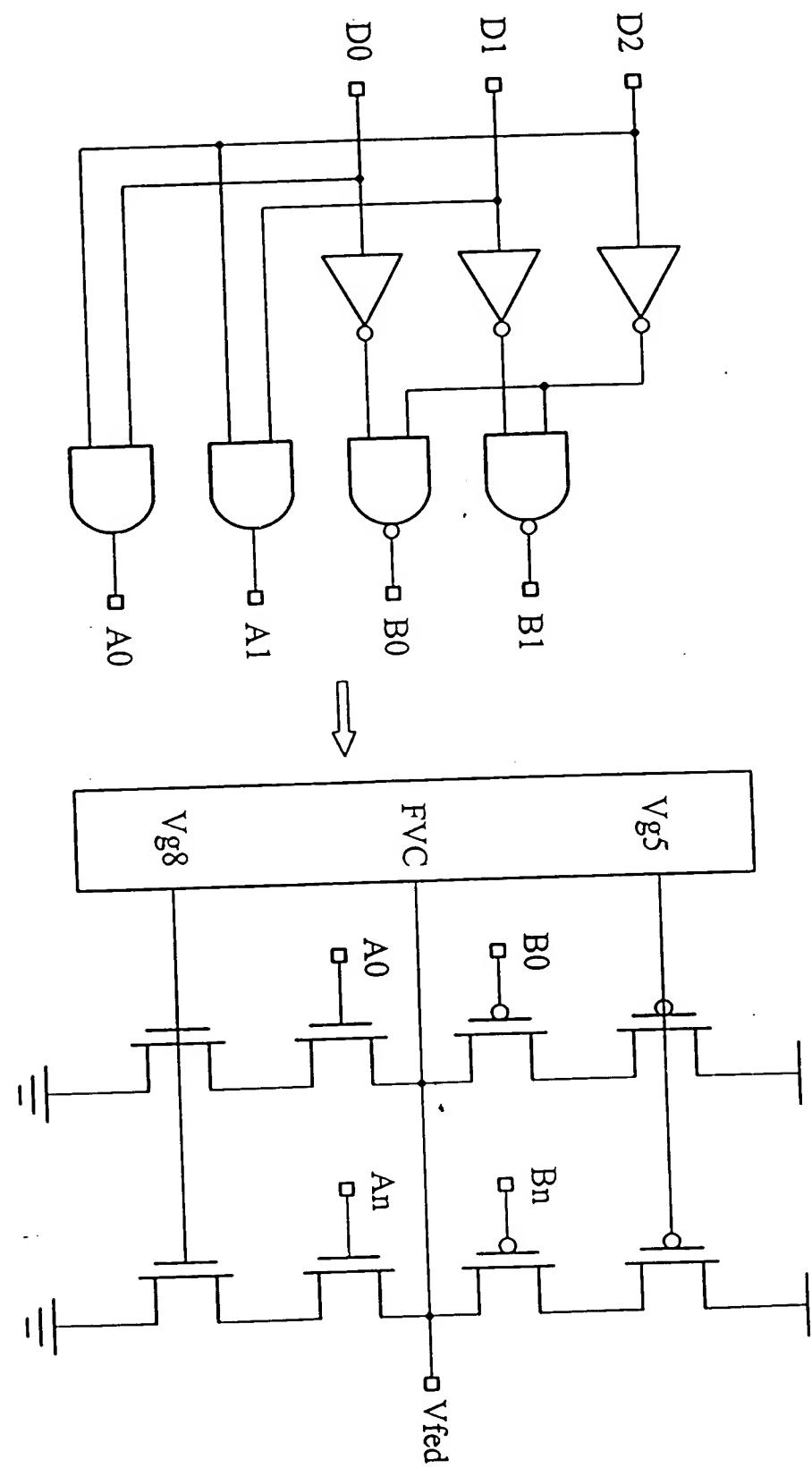
第32圖



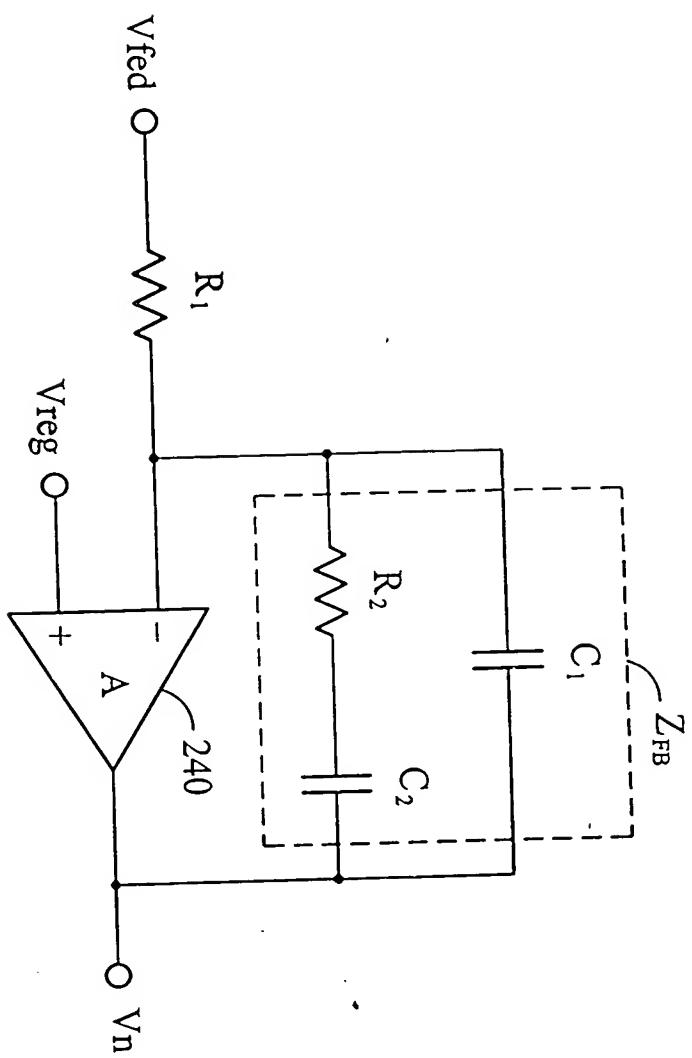
第33圖

第34圖



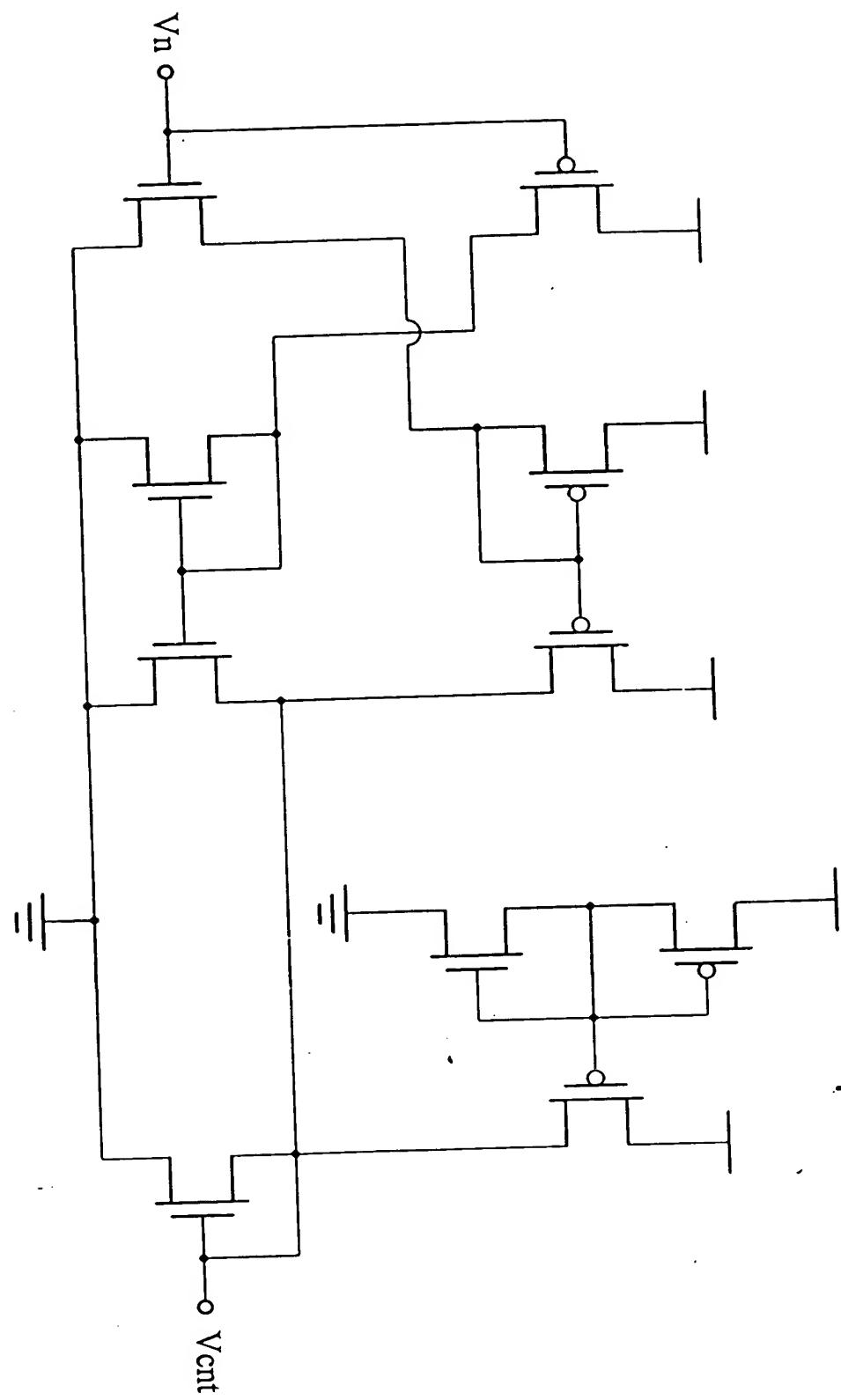


第35圖

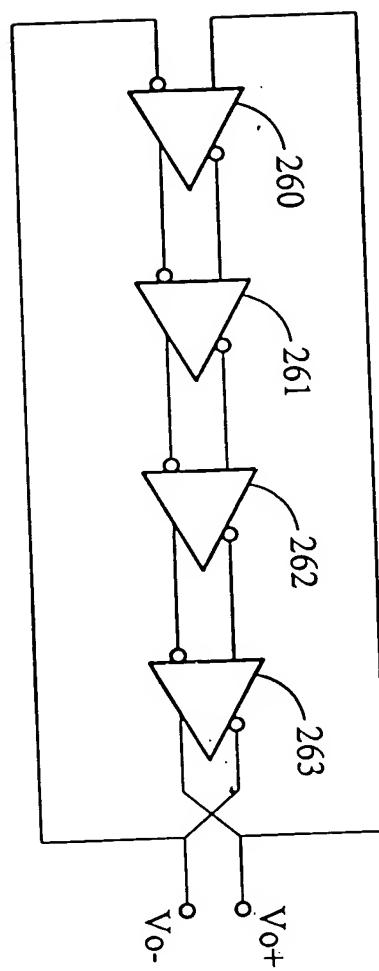


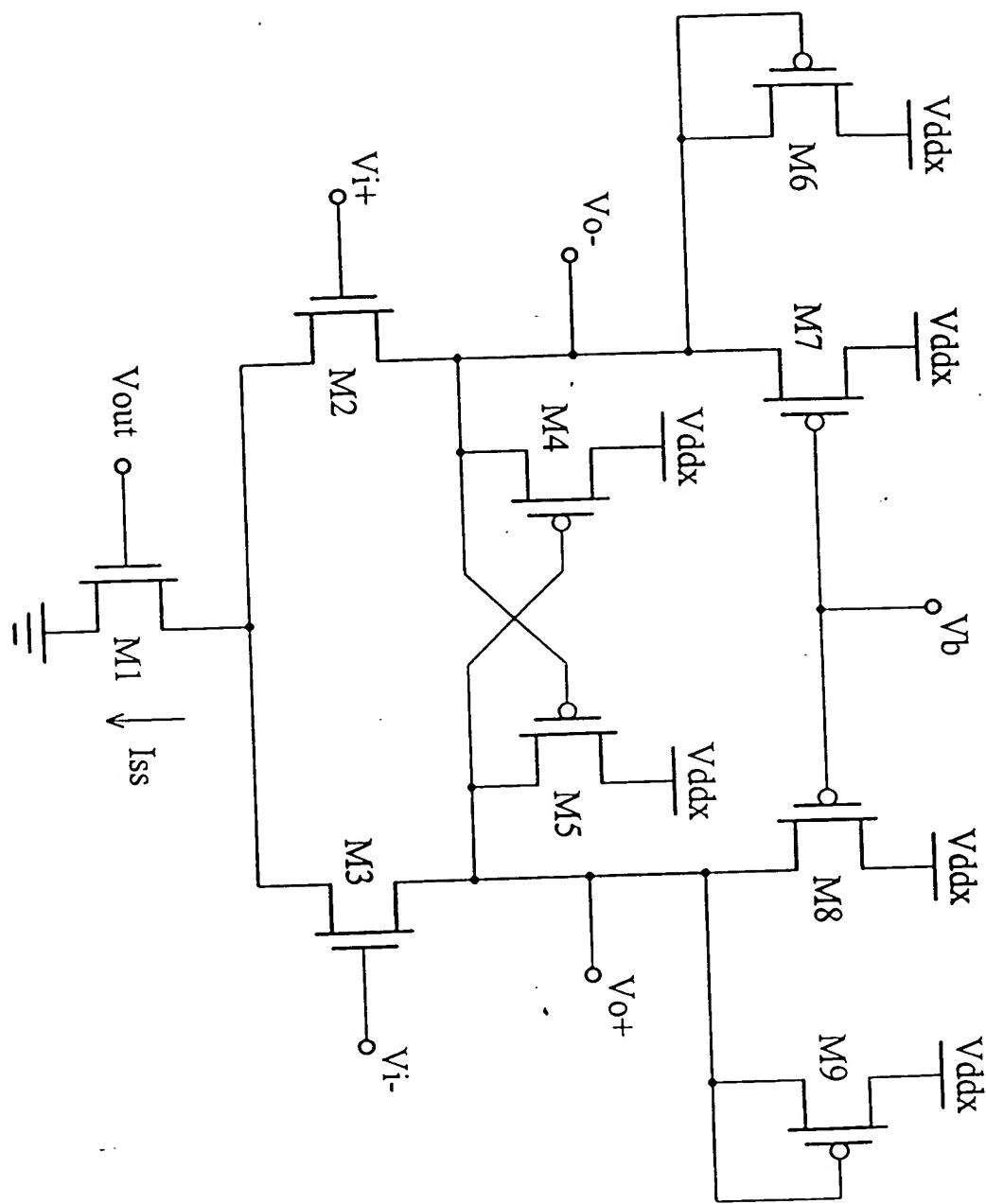
第36圖

第37圖



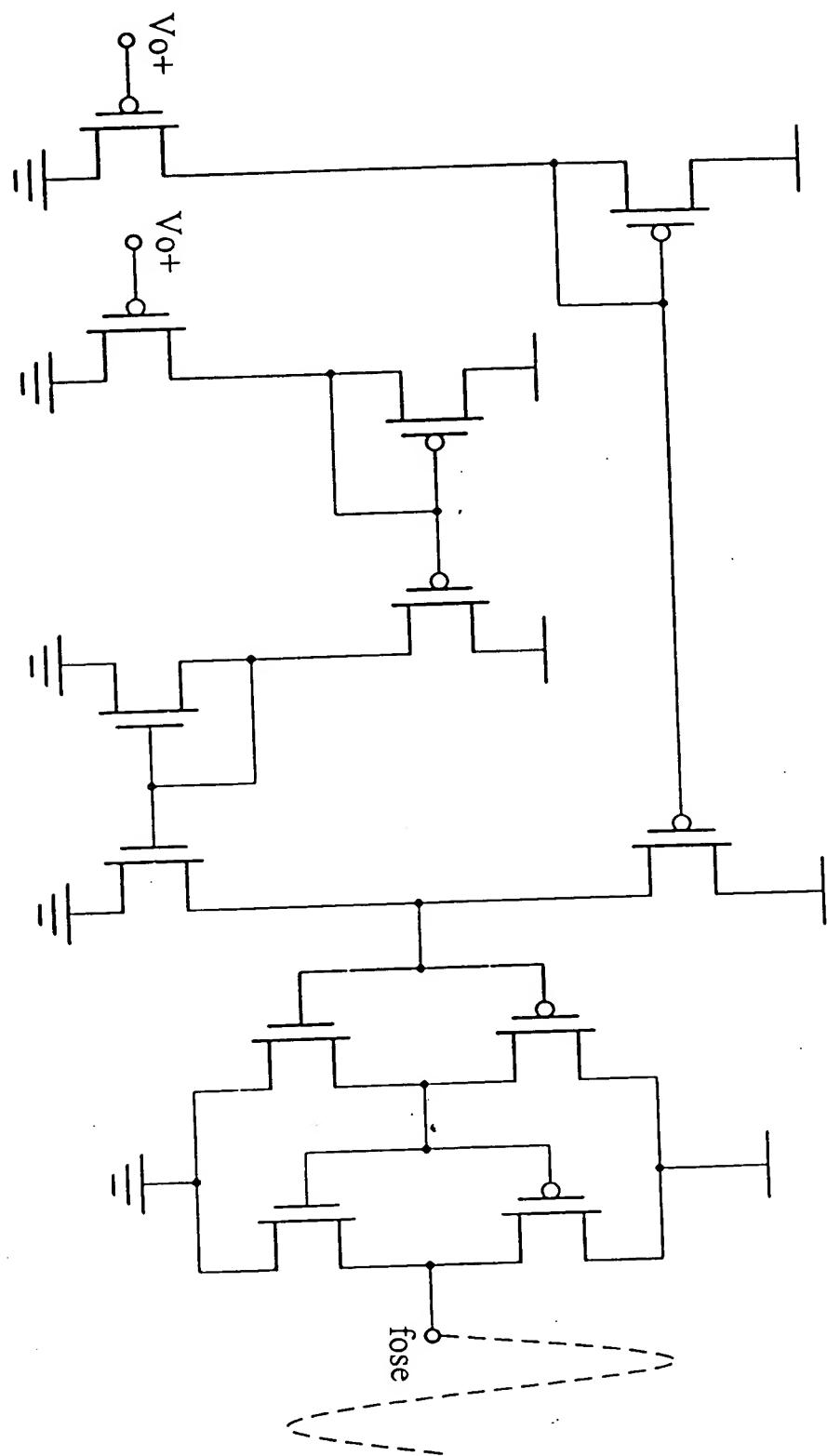
第38A圖

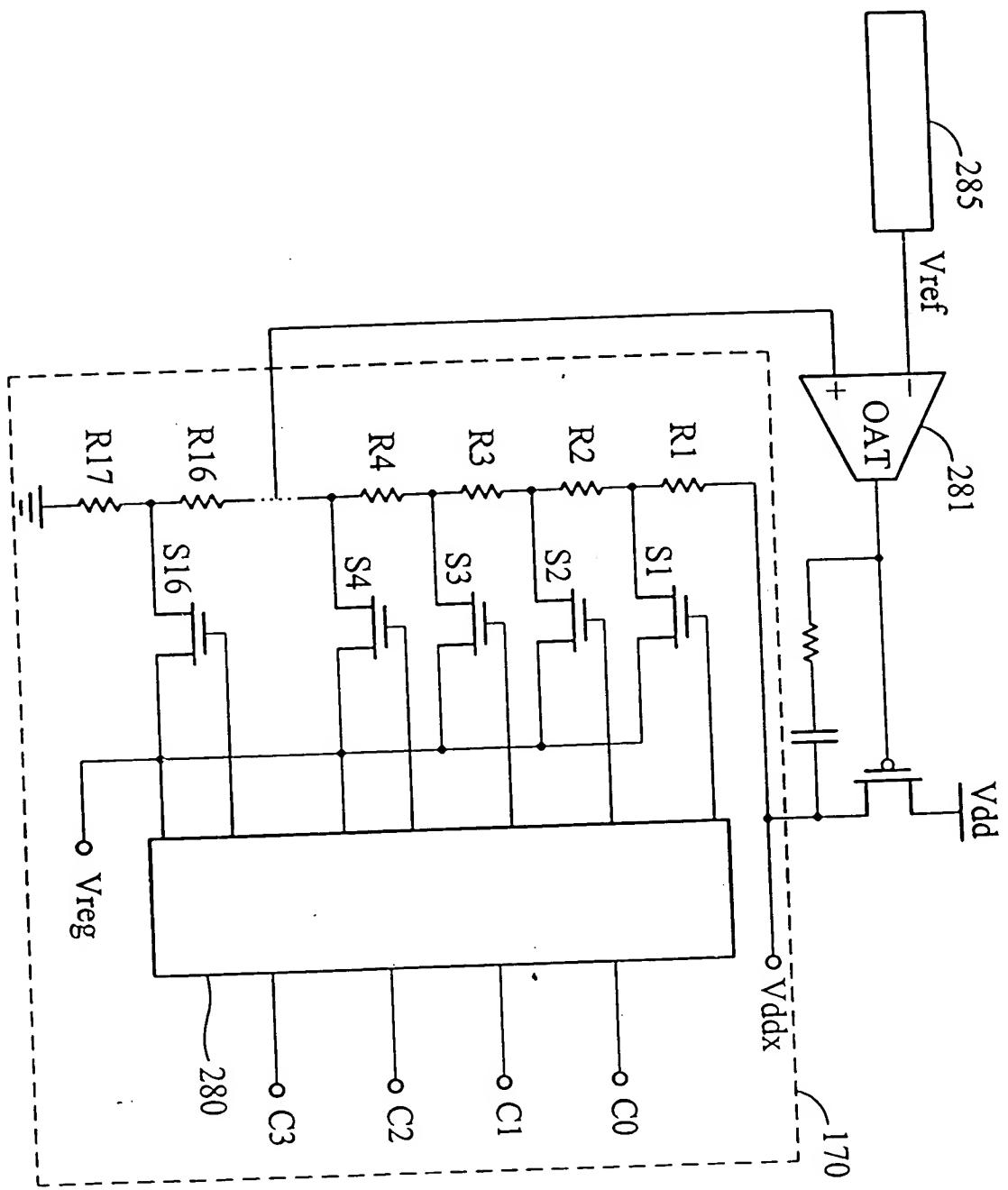




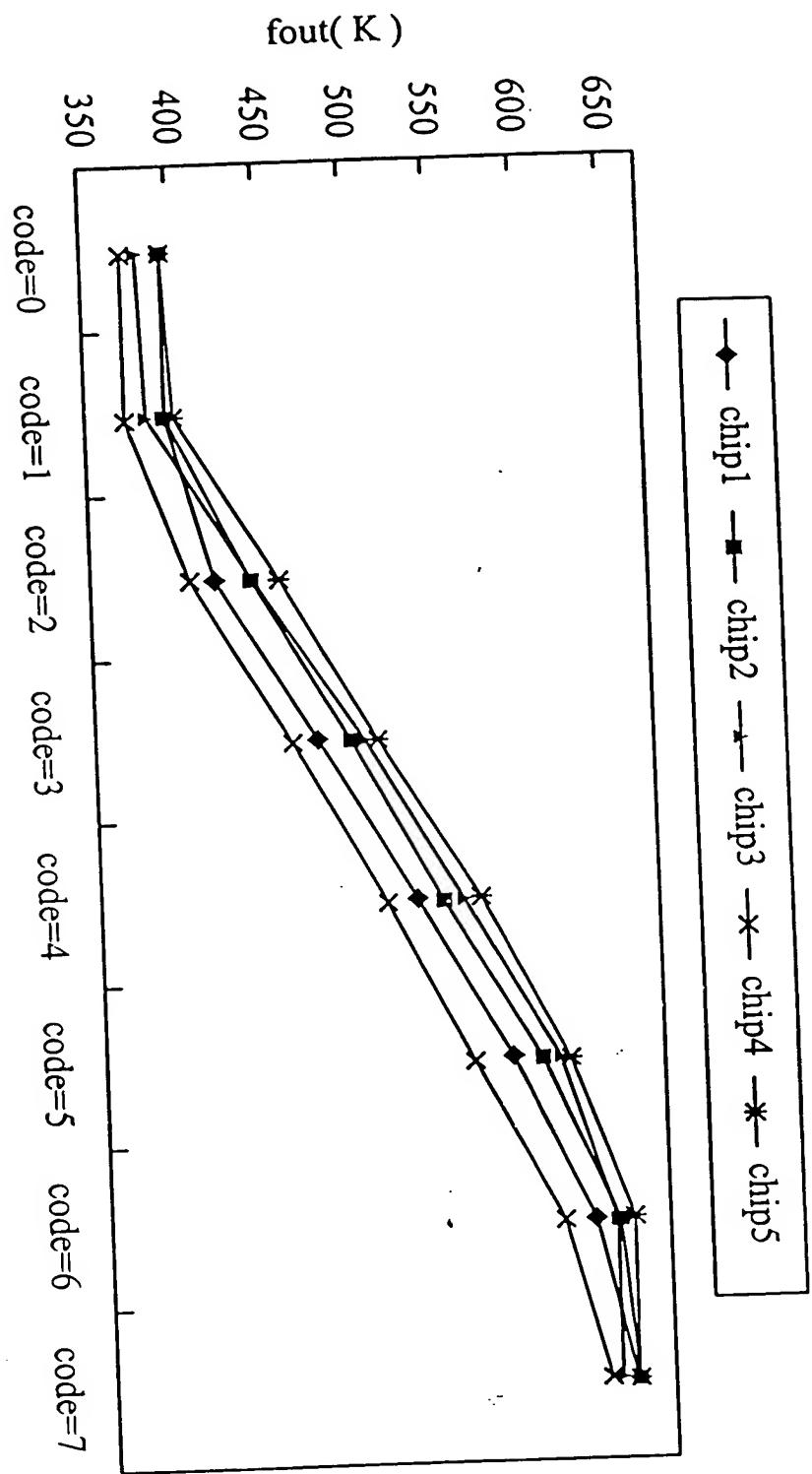
第38B圖

第39圖

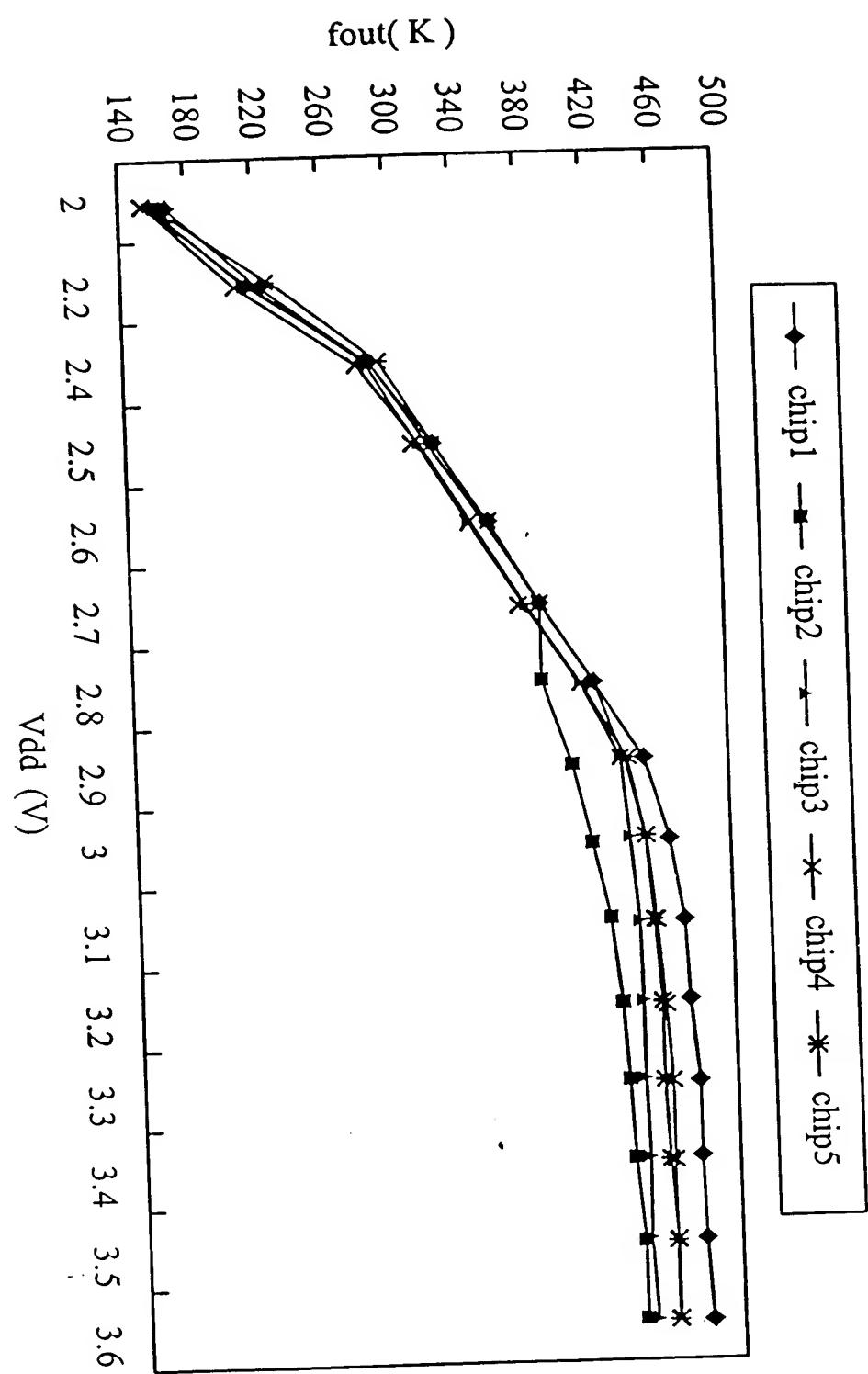




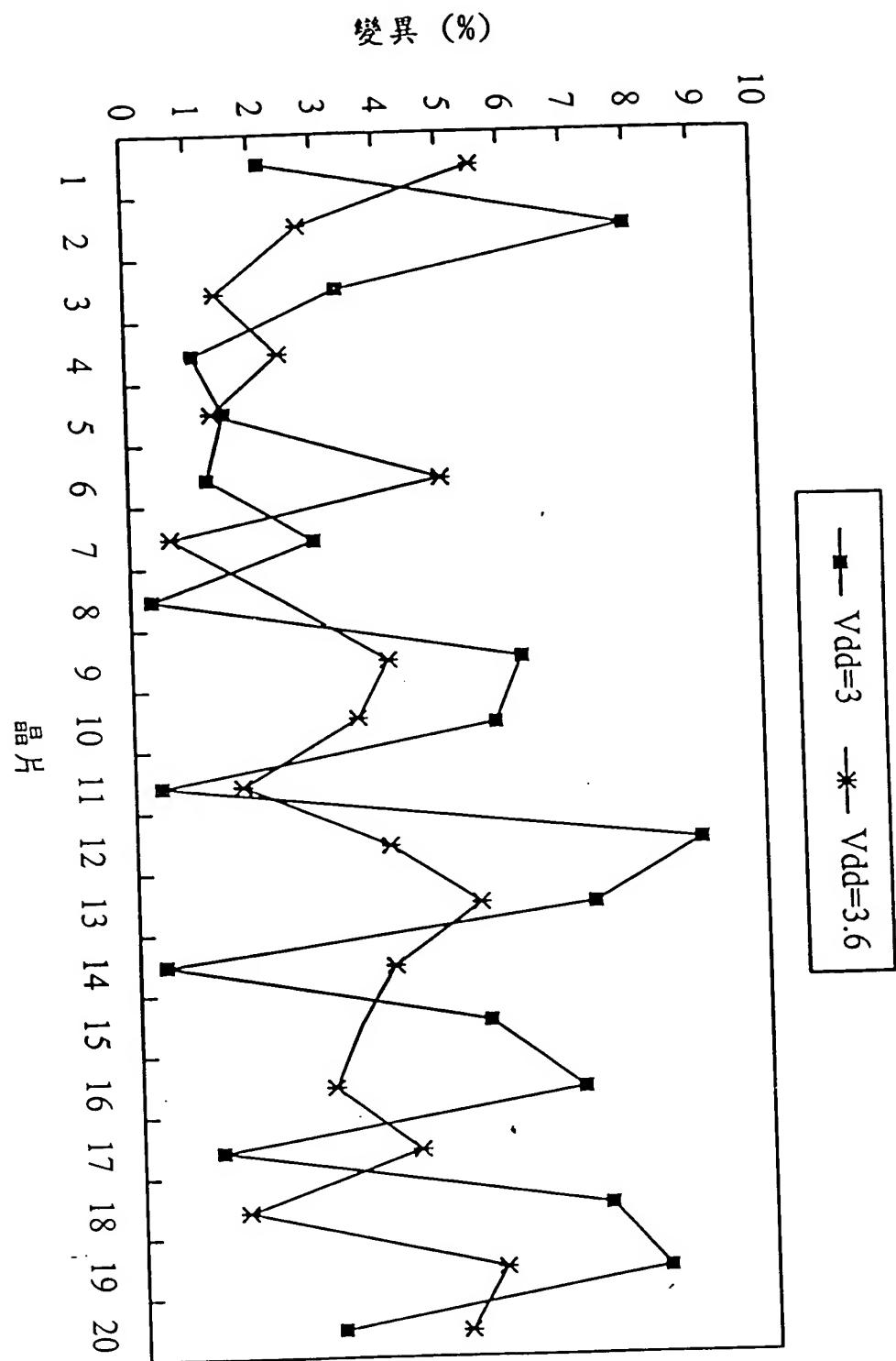
第40圖



第 41 圖

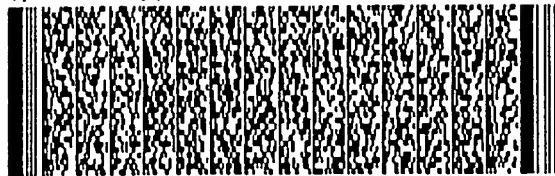


第 42 圖

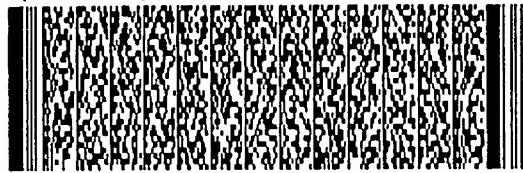


第43圖

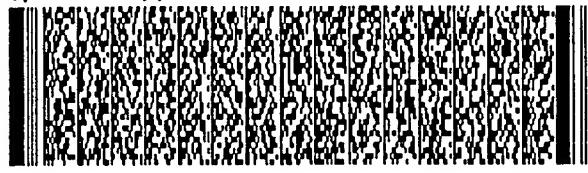
第 1/46 頁



第 3/46 頁



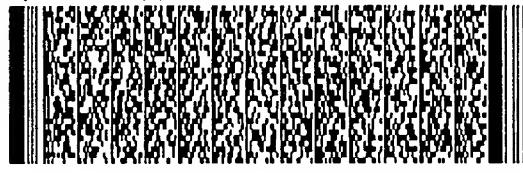
第 5/46 頁



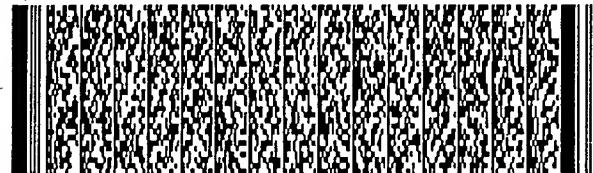
第 6/46 頁



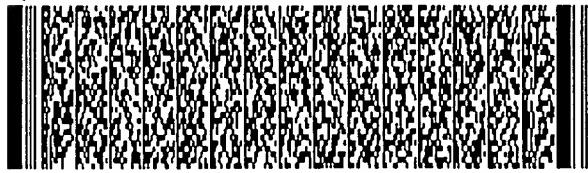
第 7/46 頁



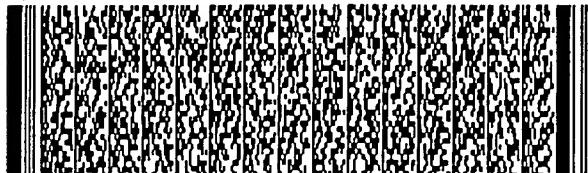
第 8/46 頁



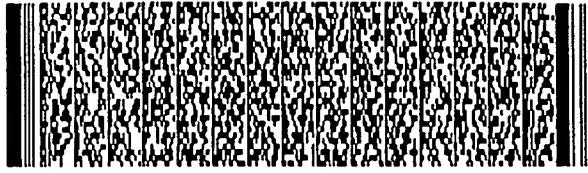
第 9/46 頁



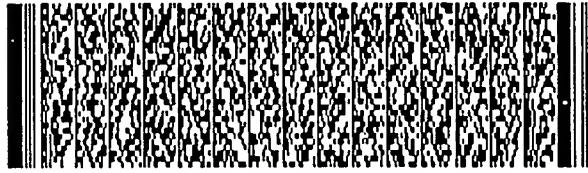
第 10/46 頁



第 2/46 頁



第 5/46 頁



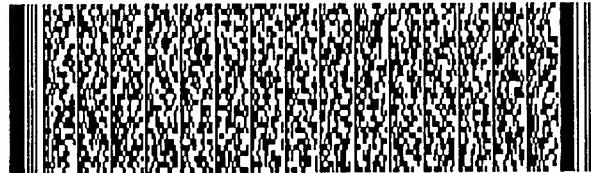
第 6/46 頁



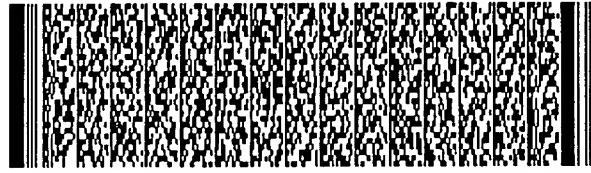
第 7/46 頁



第 8/46 頁



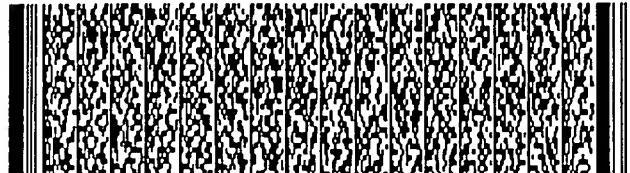
第 9/46 頁



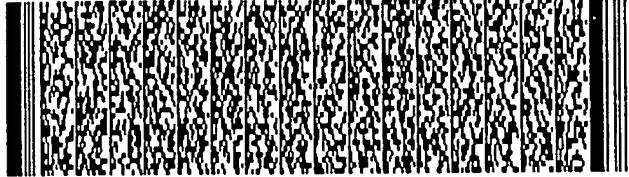
第 10/46 頁



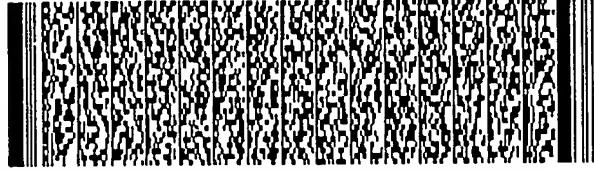
第 11/46 頁



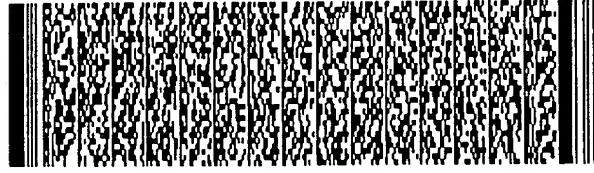
第 11/46 頁



第 12/46 頁



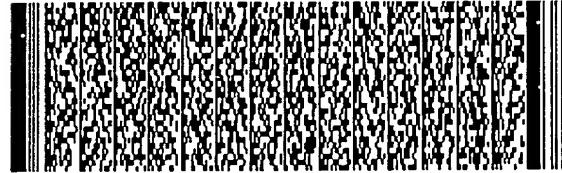
第 13/46 頁



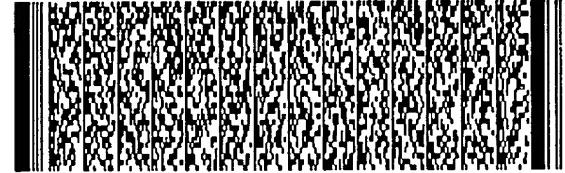
第 14/46 頁



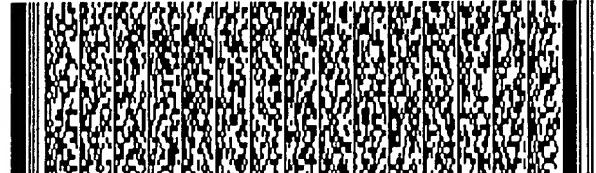
第 15/46 頁



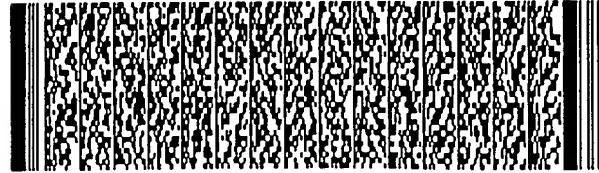
第 16/46 頁



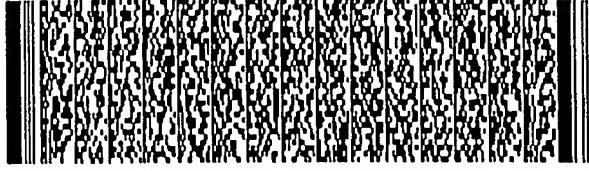
第 17/46 頁



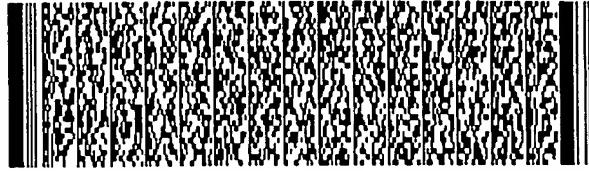
第 18/46 頁



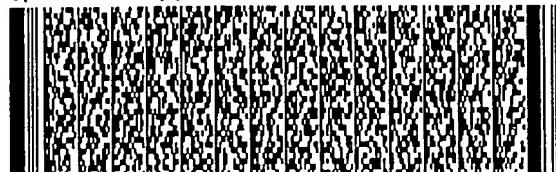
第 12/46 頁



第 13/46 頁



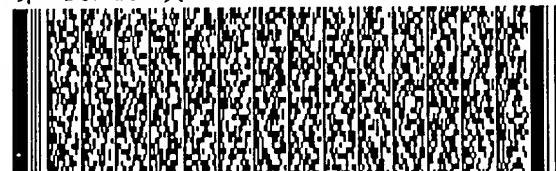
第 14/46 頁



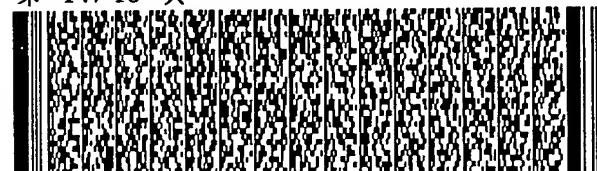
第 15/46 頁



第 16/46 頁



第 17/46 頁



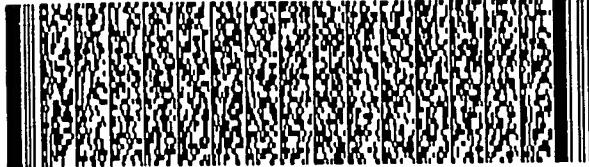
第 18/46 頁



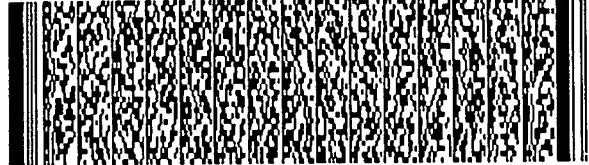
第 19/46 頁



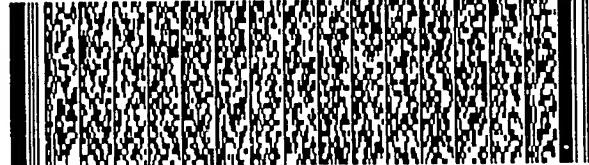
第 19/46 頁



第 20/46 頁



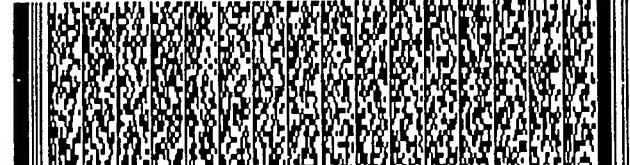
第 22/46 頁



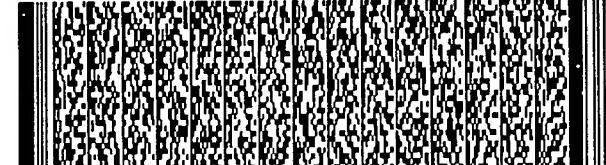
第 24/46 頁



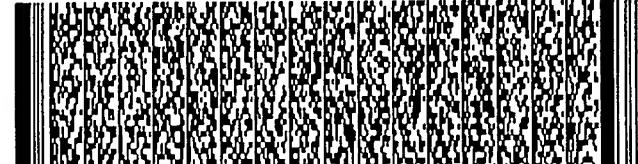
第 26/46 頁



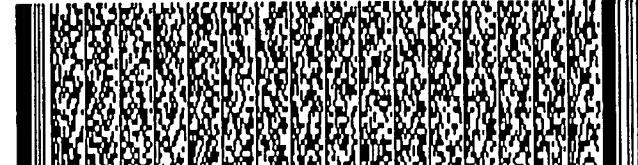
第 28/46 頁



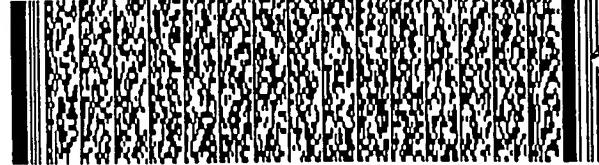
第 30/46 頁



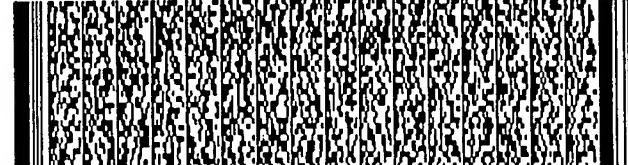
第 32/46 頁



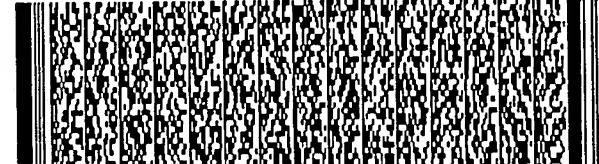
第 20/46 頁



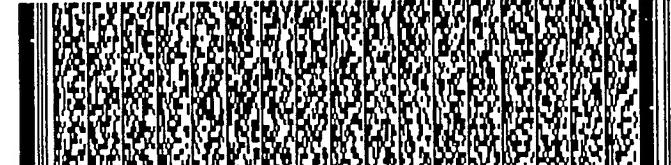
第 21/46 頁



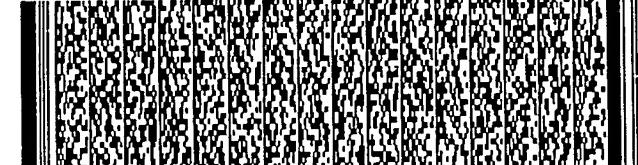
第 23/46 頁



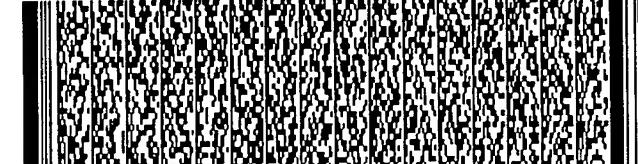
第 25/46 頁



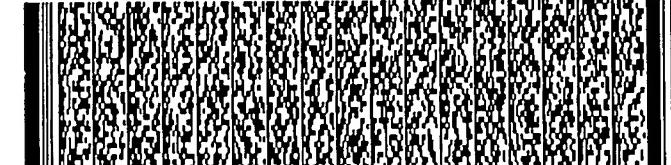
第 27/46 頁



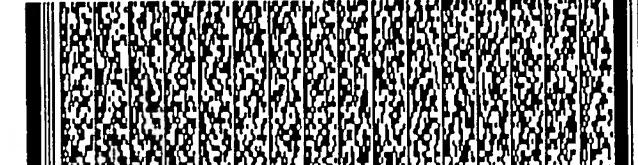
第 29/46 頁



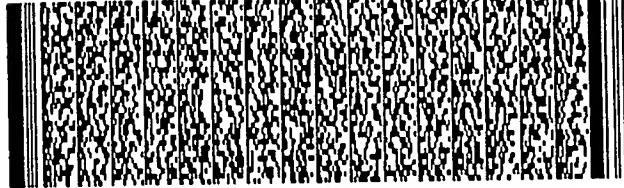
第 31/46 頁



第 33/46 頁



第 34/46 頁

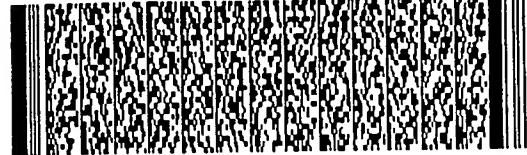


第 35/46 頁

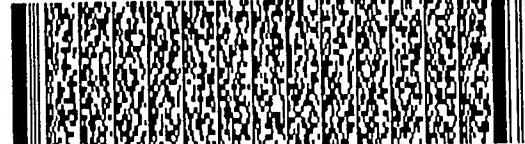
第 35/46 頁



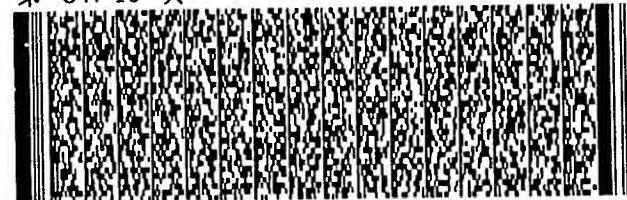
第 36/46 頁



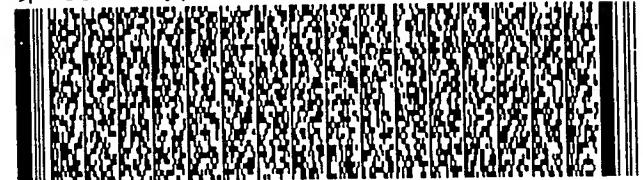
第 36/46 頁



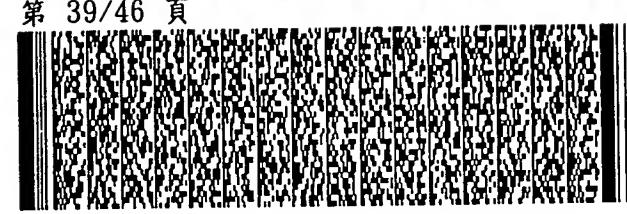
第 37/46 頁



第 38/46 頁



第 39/46 頁



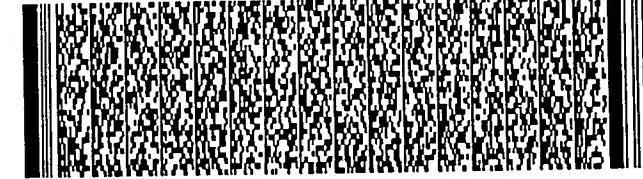
第 40/46 頁



第 40/46 頁



第 41/46 頁



第 42/46 頁



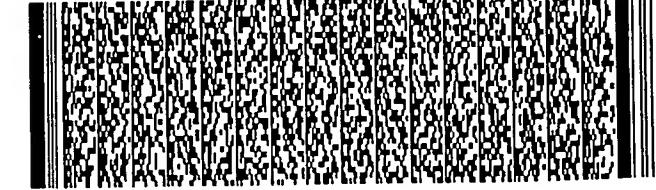
第 43/46 頁



第 43/46 頁



第 44/46 頁



第 45/46 頁



第 46/46 頁

